

JUGEND FORSCHT

Version Landeswettbewerb

DIE 360° KAMERA AUS GEBOGENEN SILIZIUMSENSOREN FÜR TEILCHENKOLLISIONEN AM CERN

Fachgebiet: EXPERIMENTELLE ELEMENTARTEILCHENPHYSIK

Julia Els (geb. 29.01.2005)

Kontakt: juliaels05@gmail.com

Wettbewerbsjahr: 2022



Nordrhein-Westfalen

Betreuer:

Prof. Dr. Christian Klein-Bösing (WWU Münster)

Dr. Marc Henning Zöller (St.-Michael-Gymnasium Monschau)

Lukas Lautner (CERN), Dr. Alexander Kalweit (CERN)

Kurzfassung

Aufgabenstellung

Im Rahmen dieser Arbeit wird untersucht, ob es möglich ist, Kamera- bzw. Detektorchips zu biegen, ohne dass die Funktion der Teilchendetektion beeinträchtigt wird. Im ALICE-Experiment (A Large Ion Collider Experiment) am Teilchenbeschleuniger LHC (Large Hadron Collider) am CERN (Conseil Européen pour la Recherche Nucléaire), in dem Proton- und Bleikernkollisionen stattfinden, soll diese neue gebogene Geometrie für den innersten Detektor (Inner Tracking System, abgekürzt ITS) zum ersten Mal angewendet werden. Die Siliziumchips des Detektors bestehen aus sehr vielen Pixeln, sodass die in der Kollision entstandenen Teilchen mit einer hohen Ortsauflösung nachgewiesen werden können. Derartige Siliziumdetektoren werden auch in anderen Bereichen eingesetzt, so zum Beispiel für die Detektion von Photonen in Handykameras. Während sie dort eine Größe von wenigen Quadratmillimetern besitzen, ist die aktive Detektorfläche des ITS ca. 10 m^2 groß [1].

Die innersten drei Lagen des 2021 neu verbauten ITS2 sollen durch diese gebogenen Chips ausgetauscht werden. Dazu soll ein ganzer Halbzylinder aus einem Chip bestehen. Durch das Biegen dieser großen Chips kann der Detektor zu einem perfekten Zylinder geformt und so eine lückenlose Abdeckung um den Kollisionspunkt geschaffen werden - sozusagen eine 360° Kamera. Alle Pixel befinden sich dann im gleichen Abstand zur Flugbahn der Teilchen vor der Kollision und das Biegen der Detektorchips auf eine Zylinderform macht sie stabiler gegen Verformung in andere Richtungen. Deshalb kann die Supportstruktur, für gebogene Detektorchips im Vergleich zu flachen Detektoren, kleiner und leichter ausgeführt werden, sodass die Teilchen weniger stark durch das zusätzliche Material abgebremst, abgelenkt oder gestreut werden. Die Entfernung des Detektors zum Kollisionspunkt soll dadurch fast 20 % kleiner werden, wodurch auch Teilchen mit kleineren Transversalimpulsen und kurzlebigere Teilchen nachgewiesen werden können.

Ein Nachteil gebogener Detektoren könnte darin bestehen, dass der Biegevorgang das Kristallgitter des Siliziumchips oder die integrierte Elektronik im Chip beschädigt.

Um zu prüfen, ob das Biegen die Chips in ihrer Funktion einschränkt, wurden im Rahmen dieses Projekts am CERN flache und auf drei verschiedene Radien gebogene Chips anhand verschiedener Tests vermessen.

Ergebnis

Anhand dieser Tests konnte belegt werden, dass die Pixel nach dem Biegen noch alle funktionsfähig sind und auch die Elektronik der Pixel keine veränderten Eigenschaften aufweist. Es ließen sich alle Register auf den gebogenen Chips verändern und auch die Signalschwelle der Chips konnte wie bei den flachen Chips eingestellt werden.

Die gebogenen Chips sind demnach vollständig funktionsfähig und können weiter in ihren Eigenschaften erforscht werden, so dass ein Einsatz im ALICE Experiment ab dem Jahr 2025 möglich wäre.

Inhaltsverzeichnis

1	Einleitung	3
2	Das ALICE Experiment	4
3	Das Inner Tracking System	5
3.1	Halbleiterdetektoren	5
3.1.1	pn-Grenzschicht	6
3.1.2	Teilchendetektion	6
3.2	Der ALPIDE-Chip	7
3.3	Aufbau des ITS	9
3.3.1	Aufbau des ITS2	9
3.3.2	Aufbau des ITS3	10
4	Versuchsaufbau	12
4.1	Aufbau der Chips	12
4.2	Versuchsaufbau für flache Chips	12
4.3	Versuchsaufbau für gebogene Chips	13
5	Versuchsdurchführung	13
5.1	Chip-Tests - Grundlagen	14
5.1.1	Pixel-Schaltung	14
5.2	Chip-Tests: durchgeführt an ALPIDE-Chips	15
5.2.1	Power-on Test	15
5.2.2	FIFO-Test	15
5.2.3	Digital-Test	15
5.2.4	Analog-Test	16
5.2.5	DAC-Test	16
5.2.6	Threshold Scan	16
5.2.7	Fake-hit rate Test	17
6	Ergebnisse	17
6.1	Power-on Test	18
6.2	FIFO-Test	18
6.3	Digital-Test	18
6.4	Analog-Test	19
6.5	DAC-Test	20
6.6	Threshold Scan	22
6.7	Fake-hit rate Test	25
7	Ergebnisdiskussion	26
8	Zusammenfassung und Ausblick	27
	Literatur	28
	Abbildungsverzeichnis	30
	Danksagung	31
	Disclaimer der ALICE Kollaboration und des ITS3 Projekt	31

1 Einleitung

Im Jahr 2021 habe ich an einem wöchentlich stattfindenden Workshop der WWU¹ Münster und der Goethe Universität Frankfurt teilgenommen, bei dem wir ein Lego Modell des ALICE² Detektors, eines der vier Experimente am LHC³, online konstruiert und dann in Münster gemeinsam zusammengebaut haben. Dabei haben wir uns genauer mit den verschiedenen Komponenten des Experiments beschäftigt. Da ich bei der Erstellung des Lego-Modells besonders an der Konstruktion des Inner Tracking Systems (ITS), dem Herzstück des Detektors beteiligt war, hat mich dessen Funktionsweise sehr fasziniert. Insbesondere wie aufwendig der Bau eines Detektors ist, der es schafft, alle 25 Nanosekunden eine neue Teilchenkollision aufzunehmen, wobei Bilder mit 12.5 Milliarden Pixeln⁴ entstehen [1]. Ich wollte genauer verstehen, wie der Detektor funktioniert und wie man ihn verbessern kann, und bin dabei auf die Forschung an gebogenen Chips gestoßen.

Um die Fragestellung zu beantworten, ob das Biegen die Chips in deren Messfähigkeit beeinträchtigt, habe ich Vergleichsmessungen mit gebogenen und flachen Chips durchgeführt. Durch die Projektwochen vom Netzwerk Teilchenwelt war ich Anfang Oktober 2021 für zwei Wochen am CERN und habe in der Arbeitsgruppe für das ITS3 des ALICE Experiments flache und Prototypen von auf verschiedene Radien gebogenen Chips vermessen und charakterisiert.

Meine Arbeit bestand insbesondere darin, nach Aneignung der Grundlagen der Physik des Detektors einen sinnvollen Versuchsaufbau zu erstellen und die Tests zu planen. Voraussetzung war, die genaue Funktionsweise der durchgeführten Chip-Tests nachvollziehen zu können, denn am CERN sollte ich die Tests eigenständig vornehmen. Dazu habe ich mich mit der Software PuTTY vertraut gemacht, um damit eine SSH (Secure Shell)-Verbindung zu dem Raspberry Pi, durch den die Tests durchgeführt wurden, aufzubauen. Um die Tests zu starten, musste jederzeit darauf geachtet werden, dass die richtigen Parameter eingegeben werden und die Dateien, die die Messergebnisse enthalten, unter dem richtigen Verzeichnis gespeichert werden, da immer mehrere Chips gleichzeitig angeschlossen waren. Ich habe die Messergebnisse ständig kontrolliert, um sicherzustellen, dass die Chips nicht beschädigt werden und der Test richtig funktioniert. Wenn Fehler aufgetreten sind, habe ich die Programme auf die Funktionsweise überprüft und ggf. Umprogrammierungen vorgenommen. Ich habe eigene Software geschrieben, um meine Messergebnisse für diese Arbeit sinnvoll graphisch darzustellen.

In dieser Arbeit werden die Ergebnisse der beiden Chipgeometrien ausgewertet und verglichen.

¹Westfälische Wilhelms-Universität

²A Large Ion Collider Experiment

³Large Hadron Collider, Teilchenbeschleuniger am CERN (Conseil Européen pour la Recherche Nucléaire) nahe Genf.

⁴Pixel = Picture Element

2 Das ALICE Experiment

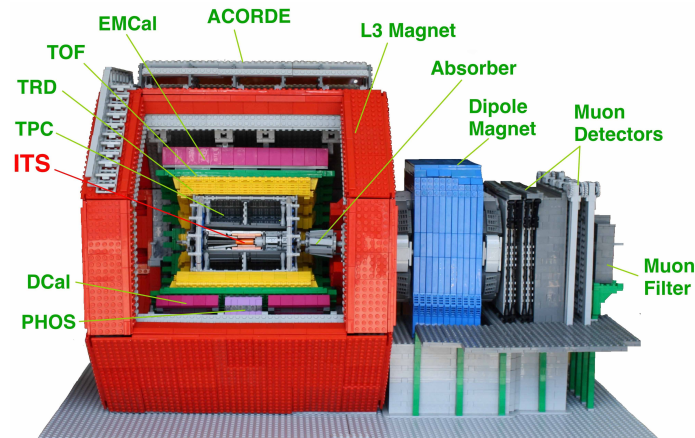


Abbildung 1: Schaubild des ALICE Experiments im LEGO-Modell

Das ALICE Experiment (Abb. 1) ist ein aus mehreren Komponenten zusammengesetzter, ca. 10000 t schwerer [4], zylindrischer Detektor am weltweit leistungsstärksten Teilchenbeschleuniger - dem LHC - der am CERN in Frankreich und in der Schweiz in ca. 100 Meter Tiefe erbaut wurde. Der Detektor ist 26 Meter lang und 16 Meter hoch und spezialisiert auf den Nachweis von Teilchen, die bei der Kollision von Bleikernen (Pb) erzeugt werden. Dabei soll das Quark-Gluon-Plasma (QGP)⁵, ein sehr dichter Materiezustand, wie er vermutlich kurz nach dem Urknall herrschte, erforscht werden. Möglichst viele Teilchen-spuren müssen hierzu erfasst und rekonstruiert werden, bis zu 10000 je Ereignis [2] (S. 3), worauf das System des ALICE Detektors, besonders das ITS ausgelegt ist [4].

Ein Forschungsschwerpunkt ist die Untersuchung der Hadronisation, von c und b Quarks [5] (S. 16-17), also der Bildung von Hadronen durch die einzelnen Quarks, veranlasst durch die starke Wechselwirkung. Diese entstehen bei der Pb-Pb Kollision im QGP. Man kann sie daran erkennen, dass die Zerfallslängen der hadronisierten b-Quarks relativ lang sind. Sie zerfallen also nicht schon im Ereignisvertex (Ursprung der Kollision), sondern teilweise sogar erst einige Millimeter später [6] (S. 78-79) (Siehe Abb. 2). Durch eine hohe Granularität (Pixeldichte), die Nähe des Detektors zum Kollisionsspunkt und durch ein möglichst dünnes Detektormaterial [7] (S. 347) kann dieser Sekundärvertex durch Rekonstruktion der Spuren [7] (S. 73) identifiziert werden.

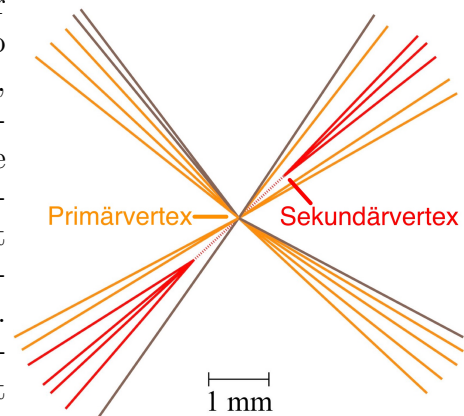


Abbildung 2: Zerfall von hadronisierten b-Quarks

Zudem sollen durch den Einbau des neuen Inner Tracking Systems (ITS3) aus gebogenen Siliziumdetektoren Teilchen mit kleinerer Transversalimpulsen nachgewiesen werden können [5] (S. 3). Diese Teilchen fliegen nach der Kollision fast parallel zum ursprünglichen Strahl. Je näher der Detektor am Kollisionsspunkt liegt, desto kleinere Transversalimpulse können gemessen werden.

⁵Quarks sind Teilchen, die in der uns bekannten Materie eigentlich nur gebunden (zu sogenannten Hadronen) vorkommen. Unmittelbar nach dem Urknall waren die Quarks vermutlich noch in einem ungebundenen Zustand (dem QGP). Indem man das QGP mit hohen Energien erzeugt, versucht man die Entstehung der Materie nachzuvollziehen [3]

3 Das Inner Tracking System

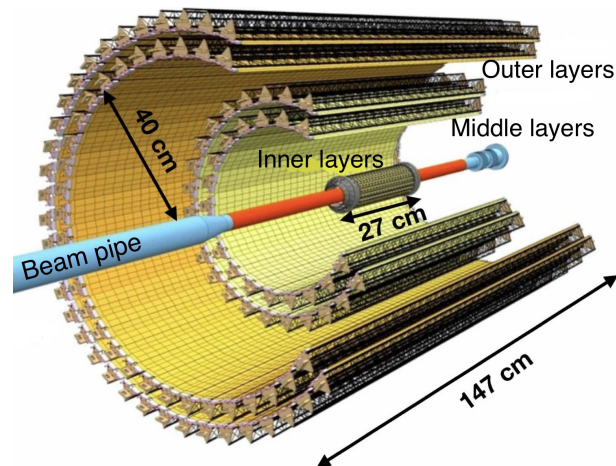


Abbildung 3: Schematische Abbildung des ITS2 mit drei Layers und insgesamt 7 Schichten

Das Inner Tracking System bildet einen Vertexdetektor, da er sehr nah am Ereignisvertex (Ursprung der Kollision) liegt. Er besteht aus 7 Siliziumdetektorschichten (Layer) aufgeteilt in 3 Barrels (Zylinder) [2] (Folie 4) (siehe Abb. 3). Als Tracking Detektor ist er dazu bestimmt, Ort und Richtung eines Teilchens mit Hilfe der verschiedenen Lagen zu bestimmen. Die Pixel der Halbleiterdetektoren werden ausschließlich digital ausgelesen, sie geben also nur 1 (Treffer) und 0 (kein Treffer) aus. Ein einziges Pixel gibt keine direkte Information über den Energieverlust des Teilchens und somit über die Teilchensorte [8]. Die Inner Layers des bisher verbauten ITS2 sollen durch das ITS3 ersetzt werden. Dabei sollen die drei 27 cm langen Schichten, die das Inner Barrel bilden, ausgetauscht werden [5].

3.1 Halbleiterdetektoren

Der Halbleiterdetektor des ITS besteht aus Silizium. Halbleiter haben die Besonderheit, dass sie unter normalen Bedingungen nicht leitfähig sind, da die Elektronen fest an das Siliziumgitter gebunden sind. Diese Elektronen können jedoch z.B. durch ein energiereiches Teilchen angeregt werden, um so ein höheres Energieniveau zu erreichen und damit das Material leitfähig zu machen.

Die frei gewordenen Elektronen hinterlassen ein Loch. Es entstehen Elektronen-Loch-Paare. Die Löcher tragen auch zur Leitfähigkeit bei und werden als positive Ladungsträger interpretiert [7] (S. 279-280).

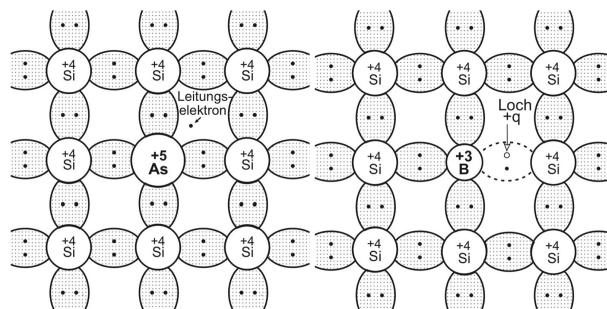


Abbildung 4: n-dotiertes Silizium (links) p-dotiertes Silizium (rechts)

Wenn man Fremdatome in das Siliziumgitter einbringt (Dotierung), kann man seine Leitungseigenschaften verändern. Eine Möglichkeit zu dotieren ist mit Arsen (Abb. 4 links). Arsen hat 5 Valenzelektronen. In Verbindung mit dem Silizium führt das zu einem Elektronenüberschuss, da immer ein freies Elektron übrig bleibt. Diese Art der Dotierung nennt man auch n-Dotierung, da die freien Ladungsträger negativ geladen sind. Einen Löcherüberschuss kann man z.B. durch Bor erzeugen. Dieses hat 3 Valenzelektronen und führt zu einer p-Dotierung, denn die Löcher sind relativ positiv geladen [7] (S. 285-288).

3.1.1 pn-Grenzschicht

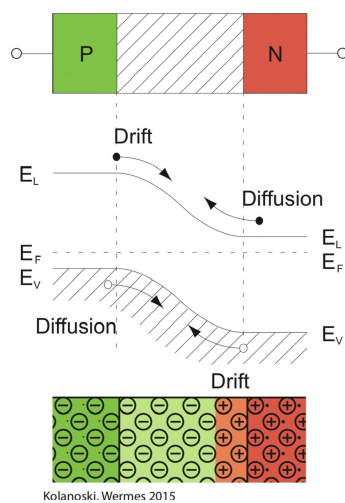


Abbildung 5: Drift und Diffusion an der pn-Grenzschicht; Ausbildung einer Raumladungszone.
Unten: n-Schicht ist stärker dotiert als p-Schicht

Ein Halbleiterdetektor besteht immer aus einem p-dotierten und einem n-dotierten Teil. Dazwischen entsteht eine pn-Grenzschicht. Da an der einen Seite ein Löcherüberschuss herrscht und an der anderen Seite ein Elektronenüberschuss, gibt es ein Konzentrationsgefälle und es verteilen sich im Grenzbereich die Elektronen und Löcher durch Diffusion (s. Abb. 5) [7] (S. 281). Wenn Elektronen und Löcher zusammentreffen, löschen sie sich gegenseitig aus (Rekombination) [7] (S. 285). Dies passiert an der Grenzschicht, wodurch dort eine ladungsträgerfreie Zone entsteht. Diese wird auch Raumladungszone genannt, da die Atomrümpfe dort ionisiert sind und der Bereich deshalb nicht neutral, sondern von der Dotierung abhängig geladen ist (s. Abb. 5 unten). Die p-dotierte Seite ist wegen der negativ geladenen Atomrümpfe negativ geladen und die n-dotierte positiv [7] (S. 290). Dadurch entsteht ein intrinsisches elektrisches Feld, durch das die Elektronen von der p-Schicht in die n-Schicht transportiert werden und die Löcher entgegengesetzt. Der dadurch entstandene Driftstrom ist damit entgegengesetzt zu dem Diffusionsstrom beim Ausbilden der Raumladungszone. Indem man an den Detektor eine externe, negative Spannung (Back Bias) anlegt kann die Verarmungszone vergrößert werden [7] (S. 295). Wenn die Siliziumgitter unterschiedlich stark dotiert sind, ist der Bereich der Verarmungszone im schwächer dotierten Teil (in Abb. 5 der p-dotierter Bereich (grün)) größer aufgrund der unterschiedlichen Ladungsträgerdichten [7] (S. 291-292).

3.1.2 Teilchendetektion

Wenn ein Teilchen durch die Siliziumschicht fliegt, erzeugt es neue Elektronen-Loch-Paare. Geschieht dies innerhalb der Verarmungszone, werden sie durch das dort herrschende, intrinsische elektrische Feld gesammelt, wodurch ein Signal entsteht [7] (S. 315). Die Elektronen und Löcher, die außerhalb der verarmten Bereiche erzeugt werden, können mit den dort vorhandenen, freien Ladungsträgern rekombinieren. Dadurch geht das Signal verloren. Wenn sie dort nicht rekombiniert sind, bewegen sie sich durch Diffusion durch das Material bis zu der Verarmungszone, in der sie gesammelt werden.

3.2 Der ALPIDE-Chip

Die Pixelsensoren des ALICE Detektors werden ALPIDE⁶-Chips genannt. Jedes Pixel enthält eine separate pn-Grenzschicht, sodass das Signal auf die Fläche des Pixels lokalisiert werden kann. Man unterscheidet zwischen drei verschiedenen Arten von Pixelsensoren: CCD, Hybride und MAPS:

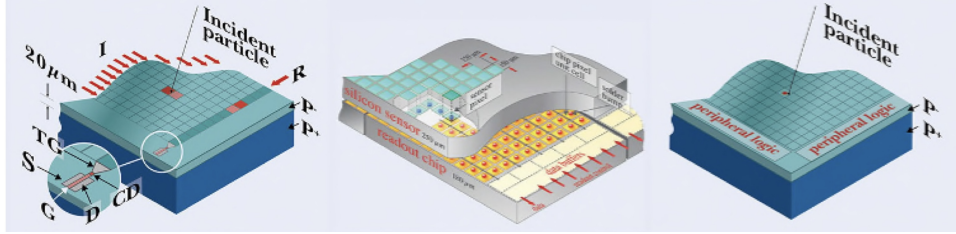


Abbildung 6: Pixelsensoren: CCD (links), Hybrider Chip (mitte), MAPS (rechts)

Bei CCDs⁷ wird das Signal, das in einem Pixel detektiert wurde, über die anderen Pixel (I) durch die Taktung mit einem ‚Eimerketten‘-Prinzip zu den Ausleseregistern (R) „geschoben“ [7] (S. 343) und von dort aus weiter zu der Sammeldiode (CD) am Ausgangsknoten (s. Abb. 6). Jede erzeugte Ladung muss also einmal durch eine gesamte Zeile oder Spalte des Chips, wodurch er durch die hohe Strahlenbelastung schneller beschädigt wird [9]. Da dieser Vorgang zudem sehr lange dauert und die Zeit bei den hohen Kollisionsraten am LHC nicht zur Verfügung steht, wurden hybride Detektoren entwickelt. Darin wird das Signal in einem separaten Chip erzeugt und durch die Auslesezellen darunter die Pixel alle einzeln und zeitgleich ausgelesen. Die beiden Komponenten können so zwar unabhängig entwickelt werden, jedoch ist die Materialdicke dadurch viel höher [9], wodurch durchfliegende Teilchen aufgehalten werden können. Deshalb wurden MAPS (Monolithic Active Pixel Sensors) entwickelt, bei denen die Ausleseelektronik vollständig in den Chip integriert ist. Dadurch wird das Material insgesamt dünner, was die Wahrscheinlichkeit für Streuung der Teilchen durch das Material reduziert. Er wird dann durch eine periphere Logik ausgelesen. Im ALPIDE-Chip, der auch ein MAPS ist, werden die eintreffenden Signale direkt in den Pixeln verarbeitet. Es wird nur ein Signal ausgegeben, wenn es einen Treffer gegeben hat (Vgl. Abschnitt 5.1). Der Schwellwert dafür wird beim ALPIDE in dem einzelnen Pixel festgelegt (s. Abschnitt 5.2.6). Die Auslesegeschwindigkeit wird dadurch erhöht, dass nur die getroffenen Pixel ausgelesen werden [9].

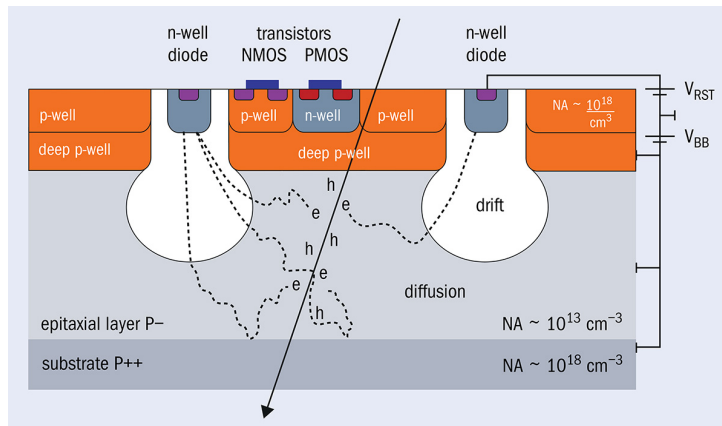


Abbildung 7: Schematische Darstellung des Querschnitts eines ALPIDE-Pixels bei Teilchendurchtritt

⁶ALice PImage DEtector

⁷Charge-Coupled Devices

Die Pixel (s. Abb. 7) eines ALPIDE-Chips sind $29.24\,\mu\text{m} \times 26.88\,\mu\text{m}$ groß [8] (S. 7). Der Chip besteht aus einem stark p-dotierten Substrat, das preiswert hergestellt werden kann und als Grundlage für die darüberliegende Schicht dient [7] (S. 345). Das Substrat wird nicht zur Teilchendetektion verwendet, da es zu stark dotiert ist, weshalb die darin entstehenden Ladungsträger viel zu leicht rekombinieren würden. Da es durch die hohe Anzahl an Ladungsträgern einen kleinen Widerstand hat, ist es besser möglich, daran einen Back Bias anzulegen. Auf das Substrat wird eine leicht dotierte, $25\,\mu\text{m}$ dicke [12] (S. 19), epitaxiale Schicht aufgewachsen. D.h. man trägt eine Siliziumschicht auf das Substrat auf, wobei sich die Ordnung der Siliziumatome an dem Kristallgitter des Substrats orientiert [13]. In der epitaxialen Schicht lässt sich die Dotierung unabhängig vom Substrat kontrollieren. Sie kann preiswert chemisch reiner und hochohmiger als das Substrat hergestellt werden [7] (S. 345). Wenn das Material hochohmiger ist, enthält es weniger freie Ladungsträger, somit ist der Widerstand größer. Dadurch findet weniger Rekombination statt und mehr erzeugte Ladungsträger können nachgewiesen werden. Durch die schwache Dotierung wird die Verarmungszone ohne Anlegen einer Spannung größer [7] (S. 348). Die Elektronen aus der n-dotierten Schicht rekombinieren beim Ausbilden der Verarmungszone mit den Löchern in der p-Schicht und wenn die Löcherdichte kleiner ist (weil schwächer dotiert) rekombinieren die Elektronen über eine größere Fläche hinweg [7] (S. 291). Die Verarmungszonen (weiße Flächen) entsteht an der Grenzschicht zu der n-well Diode⁸. Durch Anlegen eines Back Bias an dem Substrat können diese vergrößert werden.

Die Elektronen-Loch-Paare (e/h)⁹ entstehen in der Epitaxialschicht durch Teilchendurchtritt. Zuerst diffundieren sie durch das Material, sie bewegen sich stochastisch, bis sie mit den Verarmungszonen in Kontakt treten. Da das intrinsische elektrische Feld für die Elektronen in der Verarmungszone von der p-Schicht in die n-Schicht gerichtet ist, werden die Elektronen durch Drift in dem elektrischen Feld der Verarmungszone zu den n-Wannen (graue Flächen in der Verarmungszone) gezogen, in denen eine Diode liegt, die die Elektronen detektiert.

Die Auslese des Pixels findet über eine CMOS¹⁰ Logik statt. Diese basiert darauf, p-MOS und n-MOS Transistoren in einem Pixel zu kombinieren. Die oberen p-dotierten Bereiche (p-wells) ermöglichen, dass die CMOS-Elektronik in den Chip integriert werden kann. Die tieferen p-Wannen (deep p-wells) betten die Transistoren ein und schirmen sie vor Ladungsansammlung ab [7] (S. 357), [12] (S. 19). Dadurch wird es möglich, die p-MOS Transistoren unterzubringen, ohne dass dort auch eine Verarmungszone entsteht, in der sich Elektronen sammeln. Der Chip ist in einer 180 nm Technologie gefertigt, die Transistoren sind somit mindestens 180 nm voneinander entfernt [14] (Folie 6). Dabei befinden sich in einem Pixel des ALPIDE-Chips ca. 200 Transistoren [15] (Folie 14).

Auf einem Chip, der eine Größe von ca. $3\,\text{cm} \times 1.5\,\text{cm}$ hat, befinden sich 1024×512 Pixel. Die Anzahl der in einem Pixel herausgelösten Elektronen ist nicht proportional zu der Energie des Teilchens, da die Teilchen nur einen Bruchteil der Energie abgeben. Die Verteilung des Energieverlustes ist proportional zur Verarmungstiefe [7] (S. 398) und abhängig von der Dicke des Materials (Siehe Abb. 8). Je dünner das Material ($f(\Delta/x)$ möglichst klein), desto breiter ist die Verteilung w . Da die Anzahl der Elektronen in so dünnem Material immer weniger Aussagekraft hat, wird die Anzahl der Elektronen in einem ALPIDE nicht verarbeitet, um die Auslesegeschwindigkeit zu erhöhen. Es kommt jedoch auch vor,

⁸Eine Diode, die in ein n-dotiertes Grundsubstrat eingebettet ist, auch n-Wanne (n-well) genannt

⁹electron/hole

¹⁰Complementary Metal-Oxide-Semiconductor (komplementäre Metall-Oxid-Halbleiter)

dass mehrere Pixel von einem Teilchen getroffen werden (Cluster). Dabei ist die Größe des Clusters abhängig von der Energie und der Größe der Ladung des Teilchens [12], was wiederum zur Identifikation von Teilchen genutzt werden kann.

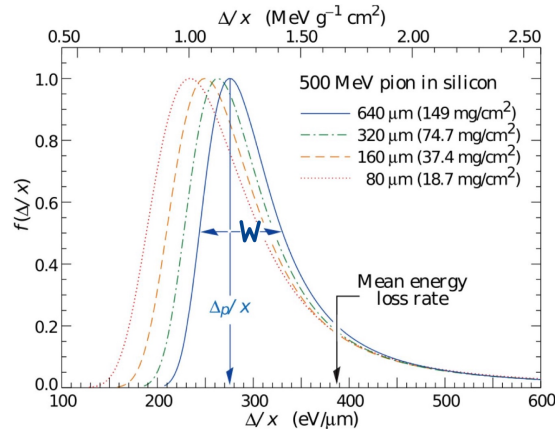


Abbildung 8: Verteilung des Energieverlustes der Teilchen im Detektor in Abhängigkeit von der Materialdicke für verschiedene Dichten

3.3 Aufbau des ITS

3.3.1 Aufbau des ITS2

Bisher ist das Inner Layer des ITS aus drei Schichten, die jeweils aus mehreren sogenannten Staves bestehen, aufgebaut (Siehe Abb. 9). Diese sind so zusammengesetzt, dass sie außen ein Space Frame zur Stabilisierung haben, darauf liegt eine Cold Plate, durch die die darüberliegenden Sensoren, also die ALPIDE Chips durch eine Wasserkühlung gekühlt werden. Ganz Innen befindet sich ein flexibles FPC (Flexible Printed Circuit), das die 9 Sensoren des Staves verbindet und als Datenlinie für die Auslese und zur Energieversorgung dient. Die Verbindung von Sensoren mit FPC wird als hybrid bezeichnet (HIC = Hybrid Integrated Circuit).

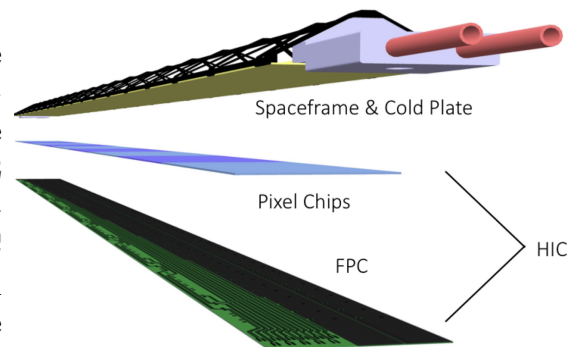


Abbildung 9: Staveaufbau im ITS2

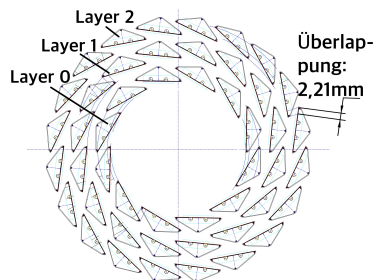


Abbildung 10: Überlappung der Staves im Inner Barrel des ITS2

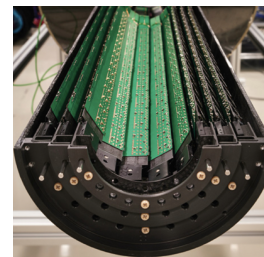


Abbildung 11: Anordnung der Staves im Inner Barrel des ITS2

Die Staves sind annähernd zylindrisch angeordnet (siehe Abb. 10 und 11). Durch diese Anordnung hat man das Problem, dass zwischen den Staves Lücken entstehen, durch die einige Teilchen undetektiert hindurchfliegen könnten, deshalb muss man sie sich 2.11 mm

überlappend anordnen (s. Abb. 10), wodurch die Materialdicke um Einiges erhöht wird. Außerdem sind die Pixel dadurch nicht alle gleich weit von dem Strahl entfernt.

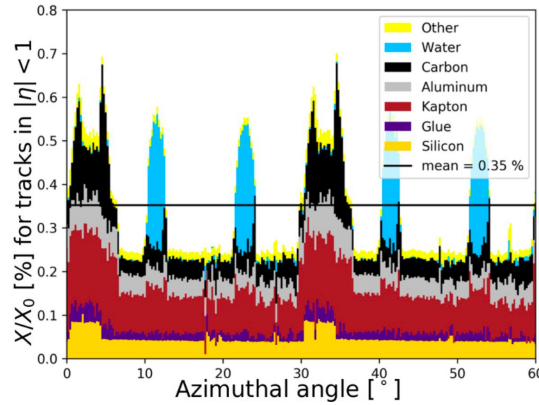


Abbildung 12: Materialdicke X , die ein Teilchen je Strahlungslänge X_0 zurücklegen muss, für $|\eta| < 1$, also Spurwinkel bezüglich der Beampipe von 40° bis 130° , im Verhältnis zur Richtung, in die das Teilchen fliegt (0° - 60°) ab da wiederholt sich das Muster für die Winkel.

Ein weiteres Problem ist das Material Budget der Staves (siehe Abb. 12). Das Silizium (orange), das für die physikalischen Eigenschaften des Detektors verantwortlich ist, macht nur ca. 0.16% der durchschnittlichen Materialdicke X je Strahlungslänge X_0 der verschiedenen Materialien aus. Die Strahlungslänge ist dabei die Schichtdicke, bei der die Energie eines hochenergetischen Elektronenstrahls auf $1/e$ abgefallen ist [17] oder in anderen Worten, der Weg, den ein Teilchen durchschnittlich zurücklegen muss, bis es interagiert. Die ungleichmäßige Verteilung des Material Budgets entsteht durch die Überlappung der Staves und die ungleichmäßige Anbringung der Wasserkühlung. Ein hohes Material Budget führt dazu, dass auch die Wechselwirkungswahrscheinlichkeit hoch ist und es unter anderem zu Streuung am Material kommt, wodurch die eigentlichen Teilchenspuren verfälscht werden, besonders die Sekundärvertices (siehe Kapitel 2). Wenn die Spuren der Teilchen rekonstruiert werden, entsteht durch die Streuung eine breitere Verteilung an möglichen Spuren, die die Trennung des sekundären Vertex vom primären erschweren [7] (S. 72-73) und weniger Teilchen kommen durch das Material hindurch.

Deshalb ist es ein Ziel im ITS3, die Supportstruktur zu minimieren.

3.3.2 Aufbau des ITS3

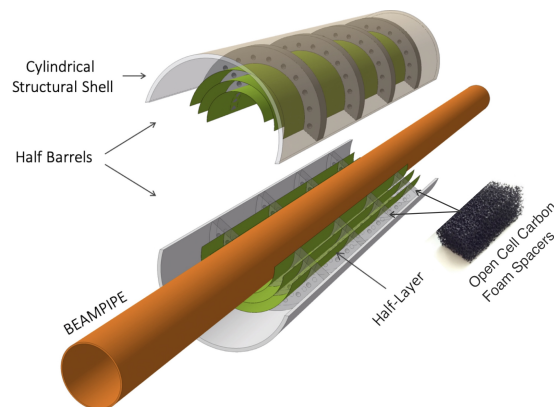


Abbildung 13: Layout des ITS3, die Silicon-Layers werden um die Beampipe gebogen

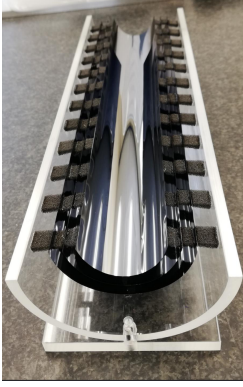


Abbildung 14: Prototyp des ITS3 aus gebogenen Siliziumwafern

Beim ITS3 sollen die $3\text{ cm} \times 1.5\text{ cm}$ großen Chips durch eine Technologie (genannt Stitching) zu einem 27 cm langen und 5.56 cm , 7.55 cm oder 9.4 cm (je nach Schicht) breiten Chip verbunden werden, sodass ein Halbzylinder aus einem einzigen Chip besteht. Um die Chips nahezu perfekt zylindrisch um die Beampipe anzuordnen, werden die Chips gebogen. Dadurch treffen alle Teilchen, die den gleichen Streuwinkel vom Kollisionspunkt haben, gleich weit entfernt auf den Detektor auf und diese Form der Chips macht sie formstabiler [2] (S. 14). Deshalb ist es ausreichend, als Trägerstruktur leichten Schaumstoff aus Kohlenstoff zu nehmen (s. Abb. 14 u. 13), der ein sehr geringes Materialbudget hat und nur an einzelnen Stellen und nicht unter dem gesamten Chip benötigt wird.

Um noch mehr Material zu reduzieren, soll auch das Substrat weggeschliffen werden. Dadurch würde man die Dicke des Chips von $50\text{ }\mu\text{m}$ auf $30\text{--}40\text{ }\mu\text{m}$ verringern um Teilchenstreuung zu minimieren.

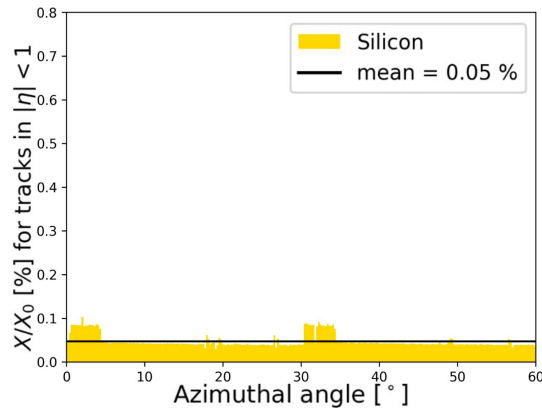


Abbildung 15: Material Budget des ITS3

Da man an den Chip in den meisten Fällen keinen Back Bias anlegt und sie zukünftig mit einer 65 nm Technologie designet werden, ist es möglich, die Temperatur so niedrig zu halten, dass eine Luftkühlung ausreicht und somit keine Wasserkühlung mehr die Teilchendurchgänge behindert. Der Energieverbrauch des Chips muss dafür unter 20 mW/cm^2 liegen [2] (Folie 10). Die Datenlinien werden vollständig in den Chip integriert. Deshalb können die Leiterplatten ebenfalls weggelassen werden und es bleibt neben dem Schaumstoff ausschließlich das für die Teilchendetektion relevante Silizium übrig.

Durch das Biegen erreicht man einen Radius von 18 mm , bei den bisherigen 23 mm sind das 21.739% näher am Kollisionspunkt als bei ITS2.

Es ist also naheliegend, dass das ITS3 durch seine neue Geometrie die Teilchendetektion verbessern würde, jedoch stellt sich die Frage, ob das Biegen der Chips sie in ihren Eigenschaften verändert, vor allem weil Silizium aus einer Kristallstruktur besteht und Kristalle durch mechanische Einwirkung wie Biegen leicht brechen oder rissig werden können.

Um herauszufinden, ob die Eigenschaften eines ALPIDEs durch das Biegen verschlechtert werden, wurden im Rahmen dieses Projekts sowohl flache als auch gebogene Chips charakterisiert und verglichen.

4 Versuchsaufbau

4.1 Aufbau der Chips

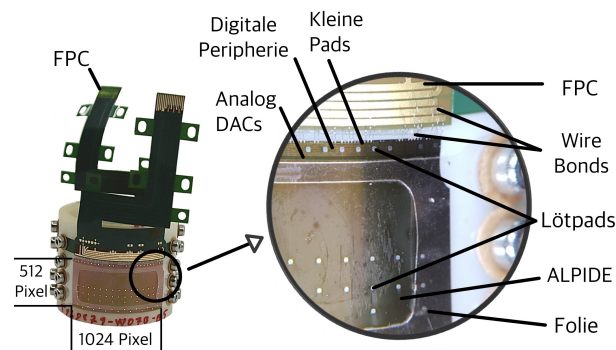


Abbildung 16: Aufbau eines ALPIDE-Chips; rechts: gebogener ALPIDE-Chips mit einem Radius von 1.8 cm; links: mikroskopische Aufnahme der rechts oben liegenden Ecke

Photo: Julia Els

Ein $3\text{ cm} \times 1.5\text{ cm}$ großer ALPIDE Chip (s. Abb. 16) (sowohl flach als auch gebogen) besteht zum größten Teil aus den 512×1024 ALPIDE-Pixeln. Auf der Pixelfläche befinden sich außerdem Metallpads, durch die der Chip an andere Module, wie das FPC¹¹ gelötet werden kann. An der einen Seite des Chips befinden sich Analog DACs¹², diese sind mit der digitalen Peripherie verbunden, die für die Auslese zuständig ist. In dieser Schicht befinden sich ebenfalls Löt pads. Am Rand des Chips werden die kleinen Pads durch sehr dünne Drähte, die Wire Bonds, mit externen Schaltungen verbunden. Dafür werden die Wire Bonds durch Hochdruck geschmolzen und fixiert. Für die Tests werden für die flachen Chips Carrier Cards verwendet und für die gebogenen Chips FPCs, da diese biegsam sind.

4.2 Versuchsaufbau für flache Chips

Die Versuchsaufbauten wurden von mir im Rahmen der Projektwochen geplant, nachdem ich mir einen Überblick verschafft habe, welche Geräte und Materialien mir dabei zur Verfügung stehen. Ich habe die Versuche unter Aufsicht aufgebaut und die zu testenden Chips ausgesucht, sortiert und dokumentiert.

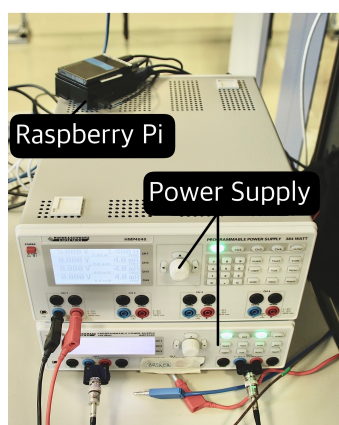


Abbildung 17: Raspberry Pi mit Power Supply

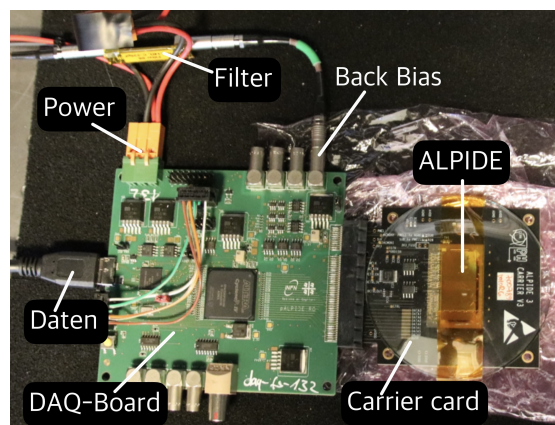


Abbildung 18: Anschluss für die Vermessung der ungebogenen ALPIDE-Chips

Photos: Julia Els

¹¹Flexible Printed Circuit board (flexible Leiterplatte)

¹²Digital to Analog Converter (Digital zu Analog Umwandler)

Der flache ALPIDE-Chip wird auf eine Carrier Card gebondet¹³ und damit an ein DAQ¹⁴-Board angeschlossen. Über das DAQ-Board kann ein Back Bias an den ALPIDE angelegt werden, und es versorgt die Ausleseelektronik. Die Daten werden über das Datenkabel ausgelesen. Um Untergrundrauschen (Noise) zu reduzieren, wird an den Anschluss für den Back Bias noch ein Filter angeschlossen. Je näher dieser am Board liegt, desto weniger Noise gibt es durch die Power Supply¹⁵. Unter den ALPIDE-Chip wird eine ESD¹⁶-sichere Folie gelegt, damit keine Entladung des Chips an das darunterliegende Material stattfinden kann, die die Messung beeinflusst oder die Elektronik zerstört (s. Abb. 17).

Das Datenkabel wird über einen USB-Anschluss mit einem Raspberry Pi¹⁷ verbunden und an dem Poweranschluss wird der Chip und das DAQ-Board von zwei Power Supplies mit Energie versorgt. An den Filter, der für den Back Bias angeschlossen ist, wird ein LEMO-Kabel¹⁸ angeschlossen, das zu einer Power Supply führt, sodass man eine negative Spannung an den Chip anlegen kann, um die Verarmungszone zu vergrößern (s. Abb. 18). Die Messung wird durchgeführt, während der Chip in einer abgedunkelten Box liegt, da elektromagnetische Strahlung die Messung beeinflusst. Sichtbares Licht ($E \sim 2\text{eV}$) kann schon ein Signal erzeugen, das die Messung verfälschen würde.

4.3 Versuchsaufbau für gebogene Chips

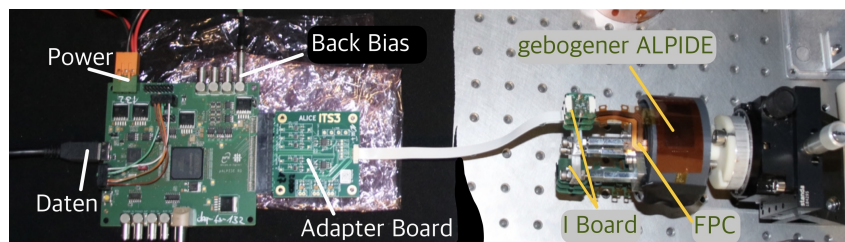


Abbildung 19: Anschluss für die Vermessung gebogener Chips
Photo: Julia Els

Die gebogenen ALPIDE-Chips werden zunächst über das FPC an ein I Board angeschlossen, von dem aus ein Kabel zu einem Adapter Board führt, über das der Chip mit dem DAQ-Board verbunden wird. Dieses wird genauso wie bei dem flachen Chip mit der Power Supply und dem Raspberry Pi verbunden (siehe Abb. 4.3).

5 Versuchsdurchführung

Die Chips sollen im ITS3 zwar größtenteils ohne Back Bias betrieben werden, dennoch wurde für die Tests ein Back Bias von -3V verwendet, um sicherzustellen, dass die Chips auch unter diesen erschwerten Bedingungen funktionieren. Ein Chip, der mit Back Bias funktioniert, funktioniert immer auch ohne. Um zu überprüfen, ob der Chip die angelegte Spannung überhaupt aushält, wird die Back Bias Spannung langsam erhöht, wobei die Stromstärke gemessen wird. Sie sollte im besten Fall bei 0mA liegen.

¹³Die Wire Bonds (Drahtverbinder) (siehe Abb. 16) werden durch hohen Druck geschmolzen und mit hoher Geschwindigkeit an dem Trägermaterial fixiert

¹⁴Data Acquisition (Datenerfassung)

¹⁵Spannungsquelle

¹⁶Electrostatic Discharge (elektrostatische Entladung)

¹⁷Einplatinencomputer, auf dem die verschiedenen Chip-Tests laufen

¹⁸LEMO ist eine Elektronik-Firma, deren Kabel die Besonderheit haben, das genau angegeben wird, welche Zeit das Signal durch das Kabel braucht.

5.1 Chip-Tests - Grundlagen

5.1.1 Pixel-Schaltung

Es wurden insgesamt sieben verschiedene Tests durchgeführt, um einen Chip auf seine Funktion zu prüfen. Zum Verständnis, ist es nötig den Aufbau der digitalen und analogen Signalausgänge des Pixels zu kennen.

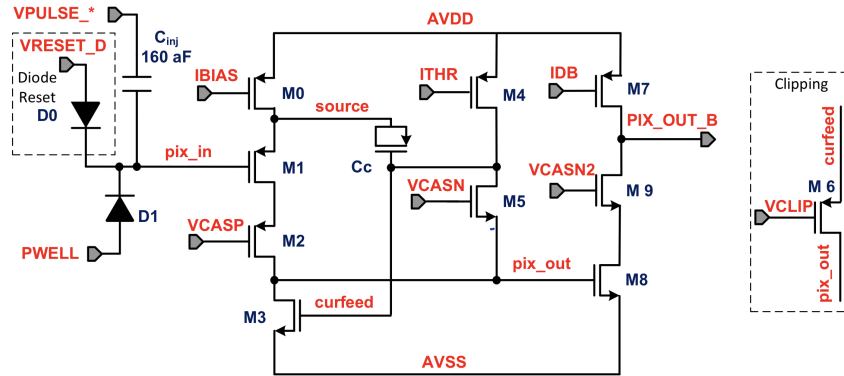


Abbildung 20: ALPIDE Front-end Scheme

Wenn das Pixel ein Signal detektiert hat, wird es zunächst verstärkt und die Anzahl der an der Diode D1 (s. Abb. 20 links oben) angekommenen Ladungsträger (Elektronen) in das analog Front-end des Pixels weitergeleitet.

Da die Chips in dieser Arbeit nicht unter Bestrahlung getestet wurden, musste ein künstliches Signal erzeugt werden. Im Front-end ist dies durch die Register VPULSE_HIGH und VPULSE_LOW möglich, deren Differenz die Größe des Signals darstellt (s. Abb. 20 links oben).

Zunächst wird die Signalgröße mit einer Signalschwelle (Threshold, siehe Kapitel 5.2.6) verglichen. Wenn die Ladung an der Diode größer ist, als die Schwelle, gibt das Pixel aus, dass es ein Signal gegeben hat. Die Schwelle kann über die DACs VCASN und ITHR eingestellt werden (s. Abb. 20 Mitte).

Die Information, ob es über der Schwelle liegt und damit ein Signal ist oder nicht, wird über das Register PIX_OUT_B an die digitale Pixel-Logik (s. Abb. 20 rechts und 21 links) weitergegeben. Dieses Signal ist bereits digital, es ist also entweder 0 und 1.

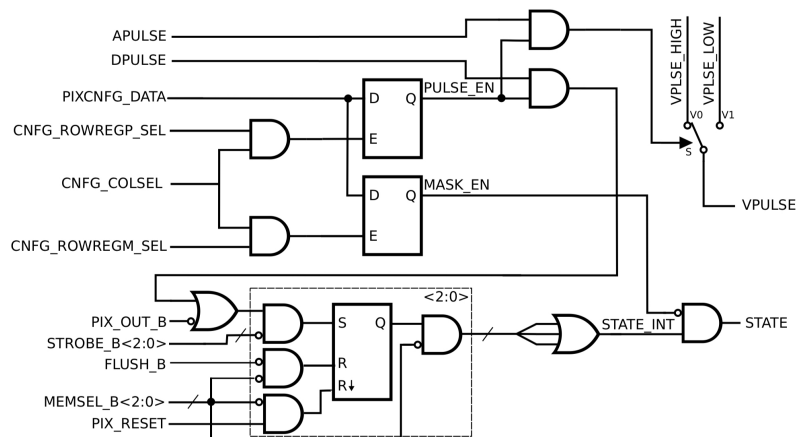


Abbildung 21: ALPIDE Pixel Logik

In der digitalen Pixel-Logik gibt es zwei Funktionen: Maskieren und Pulsen. Wenn der Wert für das Register MASK_EN hoch gesetzt wird, ergibt sich der Wert für STATE=0 [21] (S. 4). Das Pixel ist dadurch maskiert, da es dann immer ausgibt, dass es kein Signal gegeben hat. Im Detektor wird das bei den Pixeln gebraucht, die immer ein Signal ausgeben, obwohl kein Teilchen durchgeflogen ist. Dadurch wird es ausgeschaltet, sodass es nicht mehr in der Auslese berücksichtigt wird.

Neben dem analogen Pulsen gibt es zum Testen auch die Möglichkeit, das Pixel digital zu pulsen. Dabei wird über DPULSE ein Signal erzeugt. Dieses Signal setzt sich gegen das Front-end-Signal durch.

Jedes Event wird als digitales Signal in dem Zwischenspeicher (STATE_INT) der drei State-Register hat, gespeichert [8] (S. 89), [18]. Wenn das Signal die Schwelle überschreitet und das Pixel nicht maskiert wurde, wird 1 gespeichert, ansonsten 0.

Über das Signal MEMSEL_B können die drei verschiedenen Register aufgerufen werden. Das Zurücksetzen der Register erfolgt dann über VRESET_D im analog Front-end.

5.2 Chip-Tests: durchgeführt an ALPIDE-Chips

Die Kenntnisse über die Funktionsweise der Tests, die aus anderen Arbeiten stammen, habe ich mir über verfügbare Literatur angeeignet. So wie die Tests hier erklärt sind, habe ich sie am CERN durchgeführt. Auf dieser Grundlage werden sie auch beschrieben, wobei weitere Quellen zum Nachlesen angegeben werden.

5.2.1 Power-on Test

Bei dem Power-on Test wird der Chip durch Anlegen der Spannung aktiviert, die auch im Normalbetrieb verwendet wird (1.8 V) [20] (S. 3). In einem Abstand von 10 ms wird zehn mal die Stromstärke des digitalen Stromkreises und des analogen Stromkreises gemessen. Anhand der Werte kann überprüft werden, ob die Stromstärke konstant ist. Zu hohe Werte würden den Chip beschädigen, zu niedrige Werte bedeuten, dass der Chip defekt ist.

5.2.2 FIFO-Test

Es werden beim FIFO¹⁹-Test Muster in den Chip geschrieben und anschließend über die End-of-column FIFOs in der digitalen Peripherie (s. Abb. 16) ausgelesen. Dabei wird geprüft, dass es keine Speicherfehler gibt und die Daten in der richtigen Reihenfolge ausgegeben werden [19], [20] (S. 3).

5.2.3 Digital-Test

Die Pixel bekommen einen digitalen Puls und es wird geprüft, welche Pixel antworten und welche nicht. Wenn sie nicht antworten, sind sie „unpulsable“ (nicht pulsierbar). Antworten sie, obwohl sie nicht gepulst wurden, sind sie „stuck pixels“ (stecken geblieben). Wenn Pixel maskiert werden, und dann gepulst wird, gibt es Pixel, die trotzdem ein Signal ausgeben, sie sind „unmaskable“ (nicht maskierbar). Pixel die maskiert sind, obwohl der dafür verantwortliche DAC-Wert (MASK_EN) nicht hochgesetzt wurde, sind „masked pixels due to failure“ (Maskiert aufgrund eines Fehlers). Wenn sie trotz Maskierung ein

¹⁹First In - First Out, der Wert, der zuerst eingespeichert wurde, wird bei der Auslese auch zuerst ausgegeben

Signal ausgeben, und nicht gepulst wurden, werden sie als „bad pixels“ (schlechte Pixel) bezeichnet [19].

5.2.4 Analog-Test

Es wird ein analoger Puls gegeben und anschließend getestet, welche Pixel nicht antworten, wenn gepulst wird. Diese werden als „dead“ (tot/defekt) bezeichnet, und die die antworten, wenn nicht gepulst wird, sind „noisy“ (rauschend) [19]. Es wird eine Hitmap²⁰ ausgegeben, auf der die Pixel angezeigt werden, die ein Signal ausgegeben haben, obwohl sie nicht gepulst wurden.

5.2.5 DAC-Test

DACs sind die Register im analogen Front-end des Pixels (siehe Abb. 20). Sie dienen dazu, die Kommunikation des Computers mit dem Chip zu ermöglichen. Die analoge Schaltung im Pixel - das oben erwähnte analog Front-end des Pixels - arbeitet analog und dafür müssen digitale Signale des Computers in analoge umgewandelt werden.

Um die DACs zu testen, werden die einzelnen DACs für die digitalen Werte von 0 bis 255 durchgetestet und dazu der ausgegebene, analoge Wert der DACs ausgelesen. Mit der Erhöhung des digitalen Wertes um 1 wird nicht für jeden DAC die Spannung oder die Stromstärke um die gleiche Einheit erhöht, da die Schrittweite davon abhängig ist, wie hoch die maximale Spannung sein soll. Der analoge Wert kann deshalb noch als Stromstärke oder Spannung skaliert werden. Mit einem selbst geschriebenen Programm können die Graphen der analogen Werte in Abhängigkeit von den digitalen Werten sowohl unskaliert als auch skaliert angezeigt werden. An dem Graphenverlauf kann man dann die Funktionsfähigkeit der DACs überprüfen.

5.2.6 Threshold Scan

Der Threshold ist die Schwelle, ab der ein Pixel ausgibt, dass es getroffen wurde. Es wird nicht schon bei einem detektierten Elektron ein Signal ausgegeben, da die Wahrscheinlichkeit sehr groß ist, dass dieses zufällig, oder durch andere Einflüsse frei geworden ist. Wenn das Pixel dann ein Signal ausgeben würde, obwohl das Elektron nicht von einem durchgeflogenen Teilchen erzeugt wurde, wäre es ein Fake-Hit²¹ [12] (S. 20). Die Schwelle wird erfahrungsgemäß auf 100 Elektronen gelegt, da die Effizienz dort optimal ist. Würde man den Threshold noch höher legen, kann es sein, dass das Pixel zwar getroffen wurde, aber trotzdem kein Signal ausgibt. Er muss also knapp über dem Rauschen (Noise) des Detektors liegen. Dadurch, dass der Threshold eine Vorhersage darüber macht, welche Effizienz man erwarten kann, ist er einer der wichtigsten Parameter eines Detektors.

Zum Einstellen des Thresholds wird das analoge Signal auf das Pixel gegeben. Die Schwelle wird eingestellt, indem man Stromstärke und/oder Spannung an dem MOSFET²², der für den Threshold zuständig ist, verändert. In diesem Fall die Spannung an dem DAC VCASN. Nach dem Pulsen wird der analoge Puls mit der Schwelle verglichen, um zu schauen, wo der Threshold liegt. Wenn der Threshold bei 100 Elektronen liegt, ist er richtig eingestellt.

²⁰Karte des gesamten Chips, auf der die gemessenen Treffer eingetragen werden

²¹Treffer, der nicht durch ein tatsächliches Signal ausgelöst wurde, sondern aufgrund eines Fehlers oder falscher Einstellung

²²Metal Oxid Semiconductor Field-Effect Transistor

Im Falle des ALPIDE-Chips kann die verantwortliche Stromstärke durch verändern der DAC-Werte für ITHR und die Spannung durch verändern der DAC-Werte für VCASN (s. Abb. 20) verändert werden. Bei einem festgelegten Wert von 51 für ITHR und einem Back Bias von -3V, kann der Threshold erfahrungsgemäß auf 100 Elektronen eingestellt werden, indem VCASN-Werte zwischen 100 und 115 verwendet werden. Diese wurden zunächst in Fünferschritten ausgetestet. Die dabei entstandenen Werte für den Threshold werden für jeden VCASN-Wert als Verteilung der einzelnen Werte für die Pixel auf dem Chip in einem Diagramm und in einer Thresholdmap dargestellt. Auf der Thresholdmap ist wie bei der Hitmap vom Analogtest der gesamte Chip dargestellt und jedes Pixel wird in einer bestimmten Farbe dargestellt (von dunkelblau (niedriger Threshold) bis hellgelb (hoher Threshold)).

Um den Chip möglichst genau auf den Threshold einstellen zu können, mussten dann die entstandenen Durchschnittswerte aller Pixel für die vier VCASN-Werte angeschaut und damit bestimmt werden, zwischen welchen VCASN-Werten der Threshold bei 100 Elektronen liegt (100 e^- sind 10 DAC Einheiten). Anschließend wurde für einen Wert, der dazwischen liegt, der Threshold-Test noch einmal durchgeführt und der Threshold überprüft. Wenn der Wert noch nicht bei ca. 10 DAC liegt, wird ein weiterer VCASN-Wert ausgetestet, bis man möglichst nah an 10 DAC dran ist, also 100 Elektronen.

5.2.7 Fake-hit rate Test

Der Fake-hit rate Test gibt eine Hitmap aus, also eine Karte auf der alle Pixel zu sehen sind, auf der die Pixel markiert sind, die ein Signal ausgegeben haben, obwohl sie nicht gepulst wurden (noisy Pixel). Um diese zu ermitteln, wird der Threshold mit dem im Threshold-Test ermittelten Wert auf 100 Elektronen eingestellt und die State Register, in denen die Treffer gespeichert werden, 10000 mal ausgelesen. In der Regel sind die feuernden Pixel beschädigt, da die Signalschwelle bereits so eingestellt ist, dass thermische Effekte keine Rolle spielen und auch zufällige Treffer durch die hohe Anzahl der Signalauslesen vernachlässigbar sind.

6 Ergebnisse

Zur Durchführung der Tests habe die DAQ-Boards so programmiert, dass man mit Hilfe einer SSH-Verbindung über den Raspberry Pi darauf zugreifen kann. Anschließend musste ich die entsprechenden Test Quellcodes aufrufen und zunächst auf ihre Funktionsfähigkeit überprüfen. Die Tests funktionierten nur unter manueller Eingabe verschiedener Parameter, die je nach Chip und Chipgeometrie unterschiedlich waren. Während der Messung mussten die Rohdaten kontrolliert werden, um sicherzugehen, dass keine Fehler in der Messung oder Testprogrammierung unterlaufen sind. Die Software musste ich an bestimmten Stellen ändern, um sie für meine Verwendungszwecke nutzbar zu machen. Ein bei der Kontrolle der Messergebnisse aufgefallenes Problem war z.B., dass ein Parameter, die Chip-ID, aufgrund eines Kommunikationsfehlers mit der Produktionsfirma der Chips, falsch eingegeben wurde. Die Messergebnisse erweckten für mich dadurch den Anschein, als seien die Chips alle beschädigt. Nach ausführlicher Kontrolle und Diskussion mit der Arbeitsgruppe, ist das Problem dann erkannt worden. Nach dem Verbessern musste ich die Messungen von den zwei vorausgegangenen Tagen wiederholen. Anhand der Betrachtung der Messergebnisse konnte ich auch defekte Chips direkt austauschen, um dadurch mehr funktionsfähige Chips zu testen. Mit allen Tests für einen Chip war ich ansonsten ca. 5 -

6 h beschäftigt. Um die Rohdaten auch noch im Anschluss verarbeiten zu können, musste ich einige Daten, die nur auf der Konsole ausgegeben wurden, in .txt oder .csv Dateien speichern. Für die in dieser Arbeit präsentierte graphische Darstellung der Messergebnisse kam selbst geschriebene Software zum Einsatz.

Insgesamt wurden zwölf flache Chips getestet, da diese am CERN in der darauf folgenden Woche für eine Strahlzeit verwendet werden sollten, in der das Verhalten der Chips bei dem Durchtritt von Teilchen untersucht wurde. Diese waren noch ungetestete Restbestände vom zur Zeit verbauten ITS2, von denen nur drei einwandfrei funktioniert haben. Außerdem wurden drei gebogene Chips getestet. Diese haben alle funktioniert und haben drei verschiedene Radien, die genauso groß sind, wie sie für das ITS3 geplant sind. Im Folgenden wird das Verhalten der Chips anhand der selbst aufgenommenen Daten ausgewertet, indem die flachen und gebogenen Chips miteinander verglichen werden. Um zu veranschaulichen, woran man erkennt, ob ein Test zeigt, dass der Chip beschädigt ist, werden Daten beschädigter Chips hinzugezogen.

6.1 Power-on Test

Die Strom-Werte lagen bei den Power-on Tests sowohl bei den gebogenen, als auch bei den flachen Chips durchschnittlich für die zehn Werte je Chip zwischen 13.5 und 19 mA. Die Strom-Werte im digitalen Stromkreis lagen zwischen 53 und 81 mA. Die Werte blieben dabei konstant.

Einen defekten Chip konnte man daran erkennen, dass die Stromstärken bei 0 mA lagen.

6.2 FIFO-Test

Bei den funktionierenden Chips sind sowohl bei den flachen als auch bei den gebogenen Chips keine Speicherfehler aufgetreten. Bei einem Chip, bei dem sich herausgestellt hat, dass er nicht funktioniert, sind 20543 Fehler gemeldet worden.

6.3 Digital-Test

Bei den meisten Chips sind keine Fehler beim Maskieren und digitalen Pulsen aufgetreten. In einem flachen Chip gibt es eine komplette Spalte mit Pixeln, die nicht digital gepulst werden konnten und zusätzlich weitere vereinzelte Stellen (Siehe Abb. 23). Außerdem hat dieser fünf Stellen, an denen das Pixel fälschlicherweise maskiert ist (Abb. 24). Ein anderer flacher Chip hat zwei Stellen, an denen die Pixel nicht gepulst werden konnten (Abb. 22). Da es bei beiden Chips nur wenige Stellen waren, sind sie trotzdem größtenteils funktionsfähig und können verwendet werden.

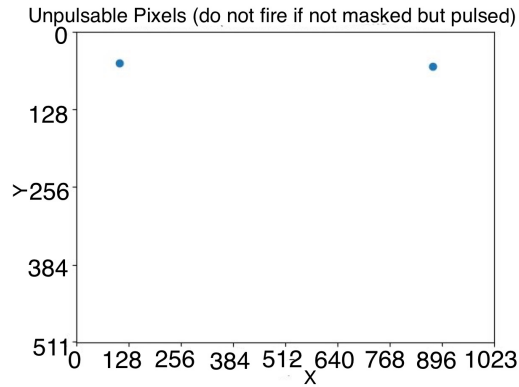


Abbildung 22: unpulsable Pixel

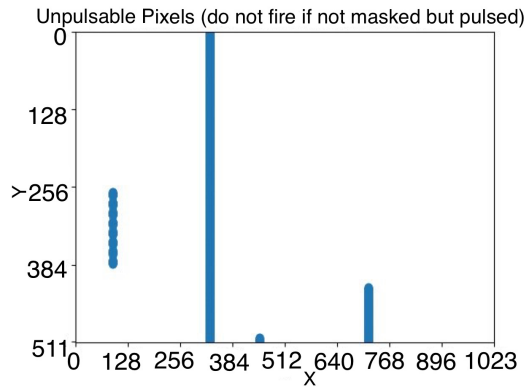


Abbildung 23: unpulsable Pixel

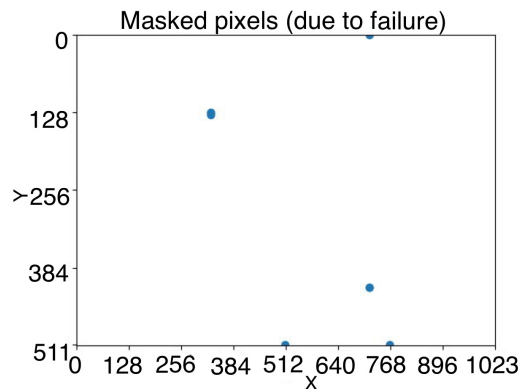


Abbildung 24: masked Pixel

6.4 Analog-Test

Bei den meisten funktionierenden Chips war die Hitmap leer (alle Pixel haben die gleiche Farbe, die Farben werden zufällig gewählt und haben deshalb keine direkte Funktion, sondern zeigen nur die gleichen und unterschiedlichen Eigenschaften der Pixel an). In einer leeren Hitmap wie in Abb. 25 haben keine Pixel fälschlicherweise gefeuert (ein Signal ausgegeben). In Abb. 26 ist zum Vergleich eine Hitmap eines flachen Chips abgebildet, in der sich eine Reihe vollständig und zwei weitere Stellen vereinzelt anders verhalten als der Rest. Sie antworten entweder gar nicht oder feuern fälschlicherweise.

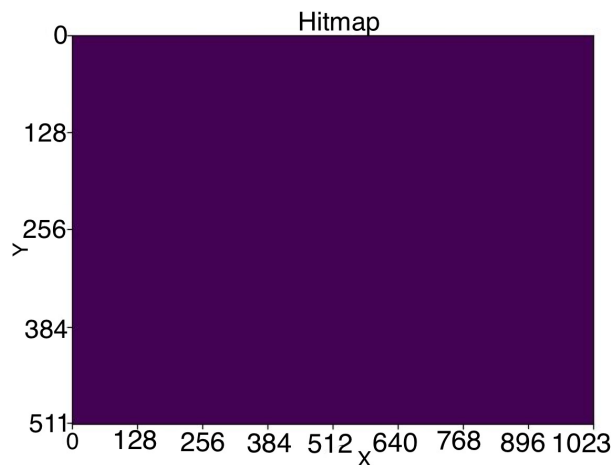


Abbildung 25: Hitmap ohne fehlerhafte Pixel

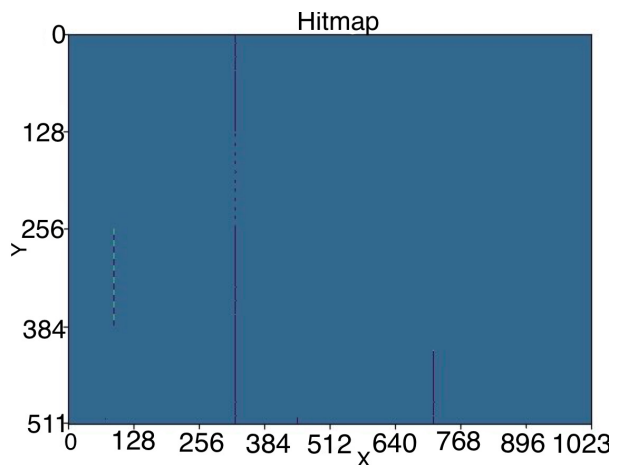


Abbildung 26: Hitmap mit beschädigten Pixeln

Es kann sein, dass die Ergebnisse des Analog-Tests nicht ganz genau sind, da dafür eigentlich den Threshold vorher hätte definiert werden müssen. Denn ob ein Pixel fälschlicherweise feuert oder nicht, ist von der Schwelle abhängig. In unserem Fall haben wir Default-Werte verwendet, weshalb es sein kann, dass manche Pixel bei einem Threshold von 100 Elektronen gefeuert hätten, obwohl sie nicht gepulst wurden, aber die Schwelle höher lag und defekte Pixel deshalb nicht registriert wurden. Da die Default-Werte aber relativ nah an den eigentlichen Werten für die Schwelle lagen, und die Parameter sich für den Threshold der verschiedenen Chips nicht besonders stark unterscheiden (s. Abb. 43), sind die Ergebnisse trotzdem vergleichbar und belastbar.

6.5 DAC-Test

Bei den unbeschädigten, flachen Chips sind die Graphen für die meisten DACs im Bereich von 0 bis 255 nahezu linear verlaufen (s. Abb. 27). Das bei manchen DACs ein Plateau entsteht, liegt daran, dass der Maximalwert der DACs schon bei kleineren DAC-Werten erreicht wird. Der Bereich, in dem die DACs eingesetzt werden, liegt jedoch zwischen 0 und ca. 130, deshalb ist der weitere Verlauf unbedeutend. Die Graphen für VPULSESEL, VPULSEH und VRESETD und VRESETP, die für den analogen Puls und das Zurücksetzen zuständig sind, beginnen nicht im Koordinatenursprung, da ihr Verlauf von der Amplitude der Spannung abhängig ist, und dadurch nie 0 werden kann.

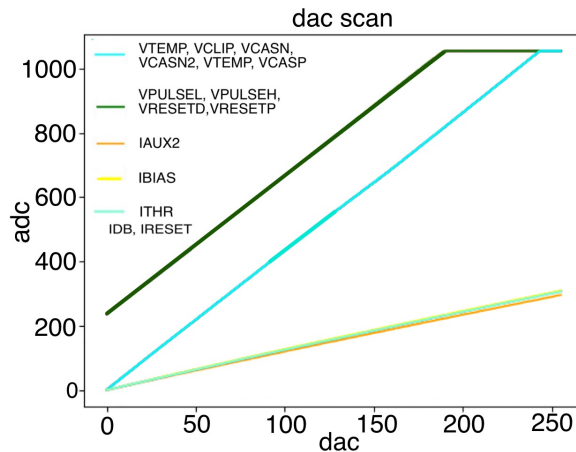


Abbildung 27: alle DACs eines flachen Chips, nicht skaliert

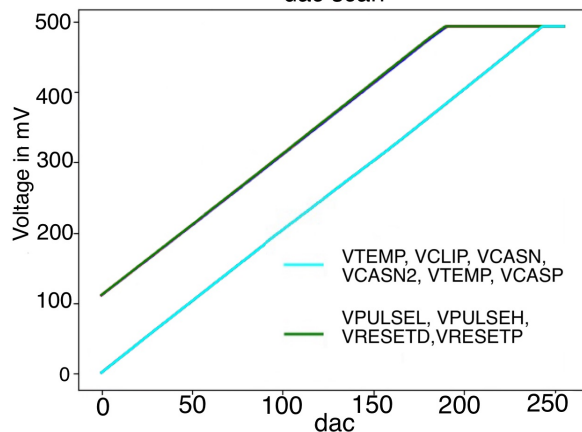


Abbildung 28: Spannung-DACs eines flachen Chips, skaliert

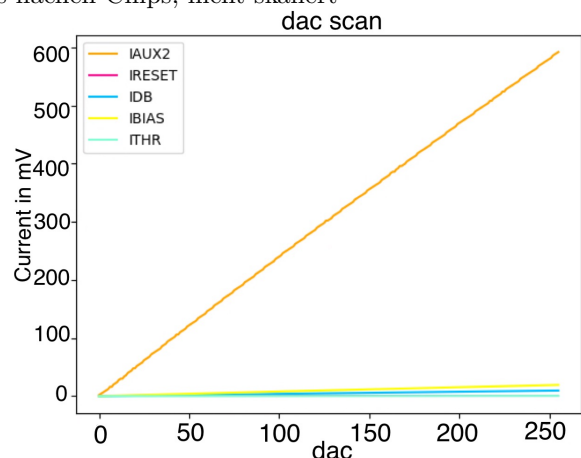


Abbildung 29: Strom-DACs eines flachen Chips, skaliert

Die digitalen DAC-Werte können mit von der Elektronik der verschiedenen DACs definierten Formeln in digitale Spannungs- und Stromwerte umgerechnet werden, um die Größe der Stromstärke und Spannung die die DACs ausgeben, zu bestimmen.

Für die Spannungs-DACs VPULSEH, VPULSEL, VRESETP, VRESETD, wird dazu Formel (1) verwendet, und für die anderen Spannungs-DACs VCASN, VCASP, VCASN2, VCLIP und VTEMP Formel (2) [8].

$$(1) Value_{read} = \frac{V_{mV}}{2 \cdot 1.068} \quad (2) Value_{read} = \frac{V_{mV}}{2 \cdot 1.068} + 370$$

Die Strom-DACs IRESET, IDB, IBIAS und ITHR werden durch folgende Formeln skaliert [8]:

$$(3) Value_{read}(IRESET) = \frac{V_{mV}}{4000000 \cdot 40} \quad (4) Value_{read}(IDB) = \frac{V_{mV}}{2560 \cdot 40}$$

$$(5) Value_{read}(IBIAS) = \frac{V_{mV}}{1280 \cdot 40} \quad (6) Value_{read}(ITHR) = \frac{V_{mV}}{40960 \cdot 40}$$

IAUX bleibt unverändert.

An der Umrechnung kann man sehen, wie sich die Ströme und Spannungen an den DACs unterscheiden.

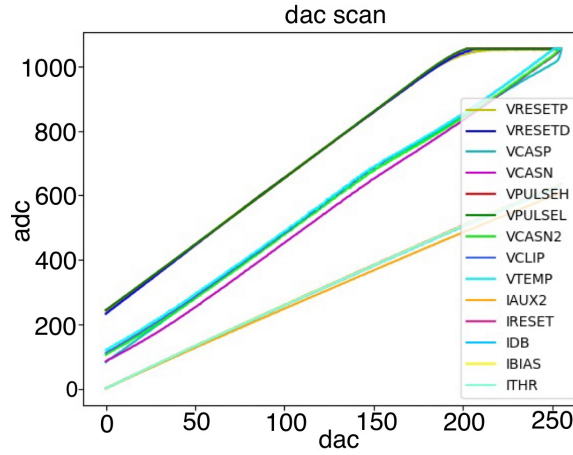


Abbildung 30: alle DACs eines gebogenen Chips, nicht skaliert

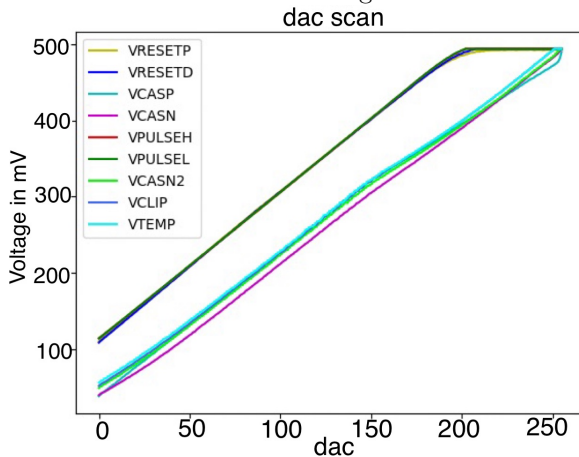


Abbildung 31: Spannungs-DACs eines gebogenen Chips, skaliert

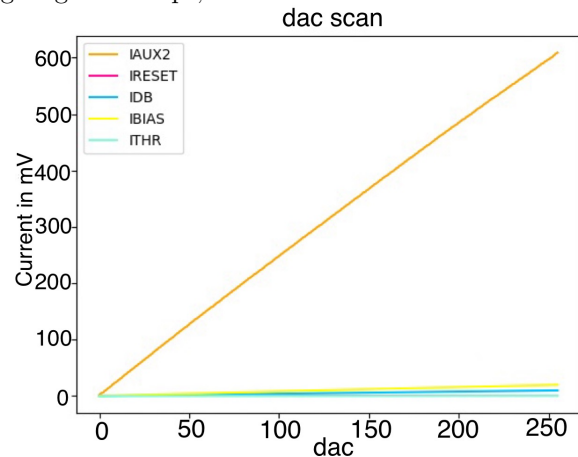


Abbildung 32: Spannungs-DACs eines gebogenen Chips, skaliert

Bei dem gebogenen Chip sind die Verläufe der DACs ebenfalls im Mittelbereich nahezu linear und somit die DACs funktionsfähig. Dies sieht man sowohl in Abb. 30 als auch an den skalierten Graphen (Abb. 31 und 32).

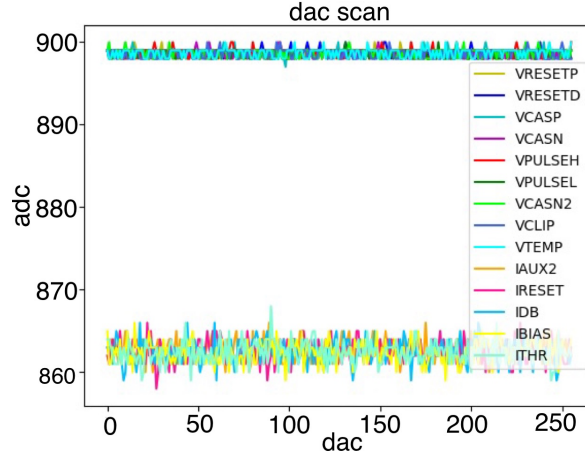


Abbildung 33: beschädigte DACs

In Abbildung 33 sieht man, wie der Verlauf von defekten DACs aussieht, in diesem Fall von einem flachen Chip. Man kann die DACs dieses Chips nicht einstellen, da man nicht anhand des Verlaufs erkennt, welchen Wert man erwarten kann, und damit die DACs auch nicht verwenden kann, um z.B. den Threshold mit VCASN und ITHR einzustellen oder mit VPULSE den analogen Puls.

6.6 Threshold Scan

Ob der Threshold sich einstellen lässt, kann man an einer Thresholdmap und der dazugehörigen Thresholdverteilung überprüfen. Wenn die Pixel bei der eingestellten Schwelle von 100 Elektronen alle einen möglichst ähnlichen Threshold haben, ist der Chip in Ordnung. Es fiel auf, dass es nie möglich war, den Threshold exakt auf 100 Elektronen einzustellen, da man beim Verändern von VCASN nur ganze Zahlen als Werte verwenden kann. Deshalb wurde immer jener Wert genommen, der möglichst nah an 100 e^- liegt. Um exakt auf 100 Elektronen zu kommen, müsste man zusätzlich auch VCASN verändern. Bei einem flachen Chip sah die Verteilung und die Thresholdmap bei einem VCASN-Wert von 107 wie folgt aus:

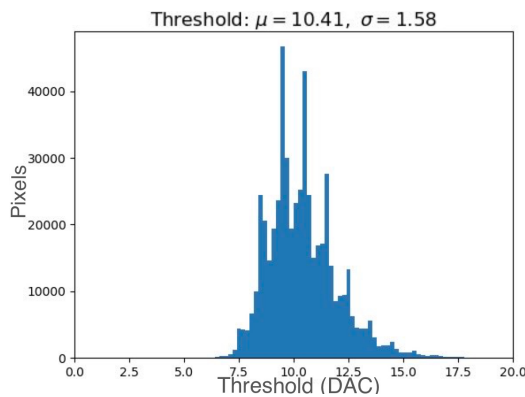


Abbildung 34: Thresholdverteilung eines flachen Chips für einen Durchschnittswert von einer Schwelle von 104.1 Elektronen

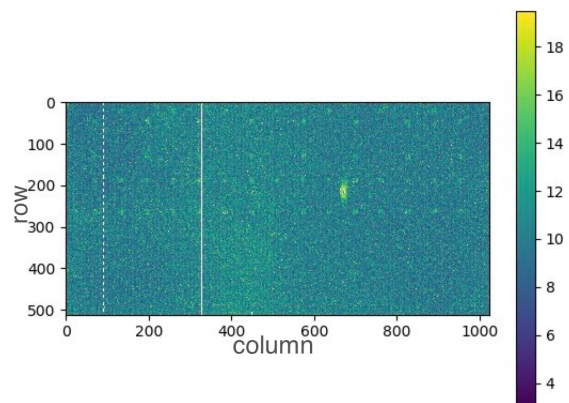


Abbildung 35: Thresholdmap eines flachen Chips bei der Verteilung aus Abb. 34 (in 10 e^-)

Die Thresholdverteilung in Abb. 34 reicht von ca. 6.5 bis 17.5 als DAC Wert, das entspricht 65 - 175 Elektronen. Da der Threshold der meisten Pixel sich jedoch in der Mitte davon befindet, liegt die 1σ -Standardabweichung von dem Erwartungswert, also 104.1 Elektronen bei ± 15.8 Elektronen. In der Thresholdmap kann man den Threshold der einzelnen

Pixel farblich erkennen. Die meisten Pixel liegen bei ca. 100 Elektronen, es gibt jedoch zwei Reihen links und den Fleck rechts, in denen der Chip nicht einwandfrei funktioniert, dort liegt der Threshold etwas höher. Insgesamt ist der Chip jedoch funktionsfähig und der Threshold lässt sich einstellen.

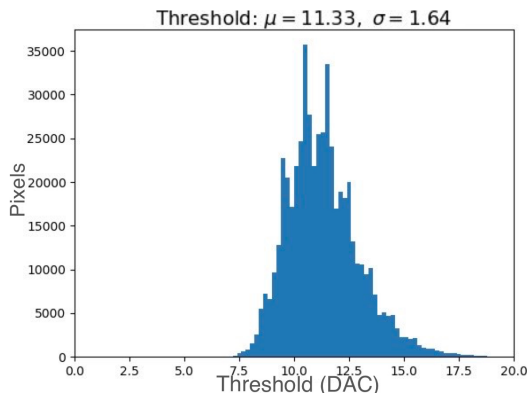


Abbildung 36: Thresholdverteilung eines gebogenen Chips für einen Durchschnittswert von einer Schwelle von 113.3 Elektronen

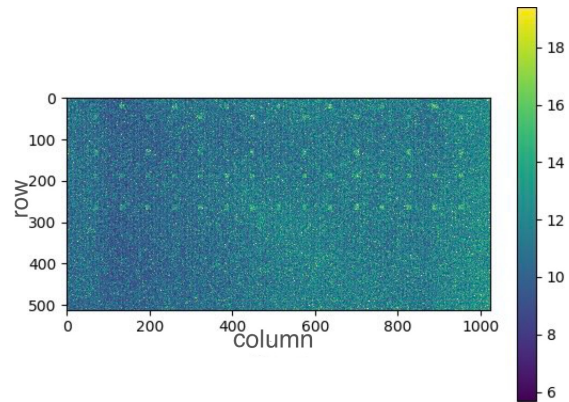


Abbildung 37: Thresholdmap eines gebogenen Chips bei der Verteilung aus Abb. 36 (in $10 e^-$)

Der Threshold eines gebogenen Chips lag am nächsten an 100 Elektronen bei einem VCASN-Wert von 105. Die Thresholdverteilung ist ziemlich ähnlich zu der in Abb. 34. Die Hitmap ist dementsprechend ebenfalls sehr ähnlich, es gibt dennoch keinen bemerkenswerten Unterschied für das Einstellen des Thresholds. Die Verteilung lag auch bei den meisten anderen gebogenen und ungebogenen Chips in diesem Bereich.

Am oberen Bereich der Pixel in den beiden Thresholdmaps befinden sich in einem regelmäßigen Muster Stellen an denen der Threshold höher ist. Das liegt daran, dass dort die Löt pads liegen, und damit Metallflächen, die eine zusätzliche Kapazität und damit Einfluss auf den Threshold haben (vgl. Abb. 16).

Einen beschädigten Chip kann man unter anderem daran erkennen, dass die Verteilung des Thresholds unregelmäßig über die Pixel verteilt ist. Dies war bei einem flachen Chip der Fall (siehe Abb. 38 und 39).

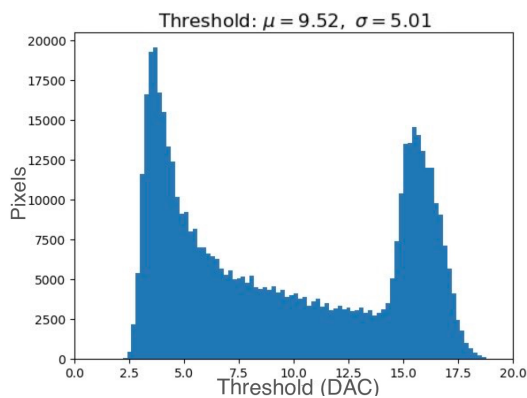


Abbildung 38: Thresholdverteilung eines beschädigten Chips für einen Durchschnittswert von einer Schwelle von 95.2 Elektronen

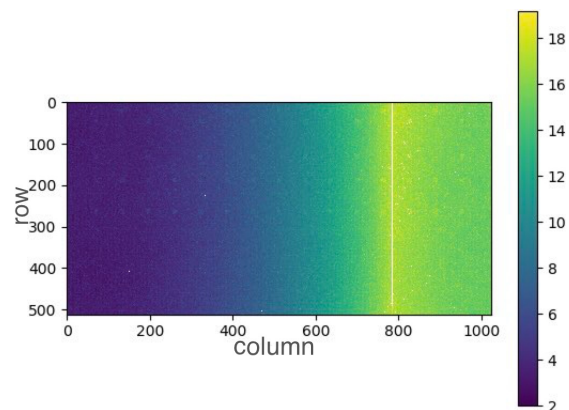


Abbildung 39: Thresholdmap eines beschädigten Chips bei der Verteilung aus Abb. 38 (in $10 e^-$)

Der Durchschnittswert des Thresholds von ca. 100 Elektronen lag bei diesem Chip bei einem VCASN-Wert von 149, was ein sehr untypisch hoher Wert ist.

Da bei jedem Chip, um möglichst nah an 100 Elektronen heranzukommen, mehrere

VCASN-Werte ausprobiert werden mussten, wurden die Werte für den Threshold und die dazugehörige Verteilung manuell in ein Textdokument zusammengeschrieben. Für die Auswertung wurde eigenhändig ein Programm geschrieben, das den Threshold für die funktionierenden flachen und gebogenen Chips gegen den VCASN-Wert aufträgt und durch gerade Linien interpoliert. Anhand dieser Linien kann man relativ genau abschätzen, wo der Threshold für VCASN-Werte zwischen den gemessenen liegt.

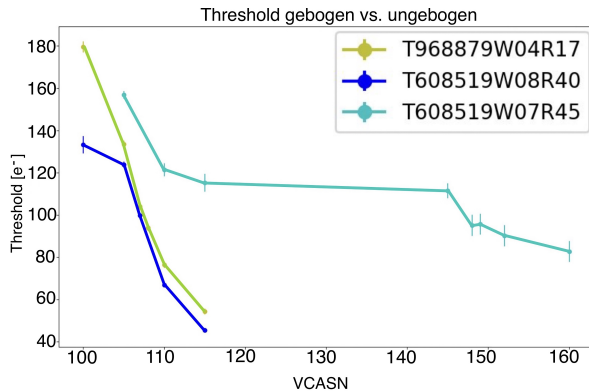


Abbildung 40: flache Chips; Threshold in Abhängigkeit von VCASN

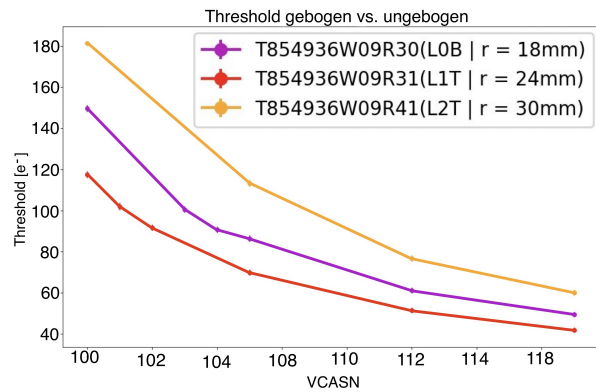


Abbildung 41: gebogene Chips; Threshold in Abhängigkeit von VCASN

In Abb. 40 haben der grüne und der dunkelblaue Chip im Bereich des Threshold von 100 Elektronen ein ziemlich ähnliches Verhalten, der hellblaue hat ein untypisches Verhalten, denn bei einem VCASN-Wert von über 140 liegt der Threshold noch immer über 100 Elektronen. Das ist der Verlauf des Chips, der auch in Abb. 39 vermessen wurde. Der Verlauf lässt sich in diesem Fall dadurch begründen, dass der Threshold der Pixel sehr unterschiedlich ist und es somit sehr schwierig war, den Threshold auf einen Durchschnittswert von 100 Elektronen einzustellen. Die breite Verteilung der Werte lässt sich auch an der starken Streubreite der gemessenen Werte erkennen.

Der Graphenverlauf in Abb. 41 ist für die drei gebogenen Chips sehr regelmäßig. Die Chips sind vergleichbar im Einstellen des Thresholds.

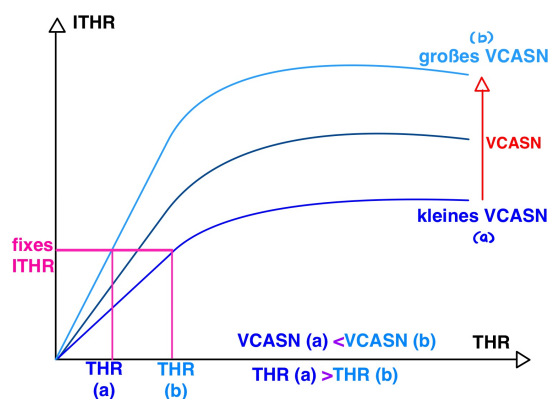


Abbildung 42: Kennlinie eines MOSFETs in Abhängigkeit von VCASN und ITHR

In beiden Abbildungen (40 und 41) ist ersichtlich, dass der Threshold antiproportional zu dem VCASN-Wert verläuft. Das lässt sich dadurch erklären, dass VCASN eine Spannung ist, die an einen MOSFET angelegt wird (s. Abb. 21). Dieser hat eine Kennlinie wie in Abb. 42. Diese zeigt, dass der Threshold größer wird, je größer die Stromstärke ist, also in diesem Fall ITHR. Den Kurvenverlauf kann man ebenfalls durch die Spannung (also VCASN) verändern. Durch Erhöhen von VCASN wird der Kurvenverlauf steiler (Graph

(b)). Da ITHR konstant war (pinke waagerechte Linie), und nur VCASN geändert wurde, hat dies zur Folge, dass der Threshold mit zunehmendem VCASN niedriger liegt.

Dieser Zusammenhang war beim Durchführen der Tests auch daran erkennbar, dass die Tests immer länger dauerten, je größer VCASN war (bei VCASN=115 bis zu 35 Minuten). Es wurden nur die Pixel ausgelesen, die ein Signal detektiert haben und je niedriger die Schwelle ist, desto mehr Noise ergibt sich. Folglich entstehen mehr Signale, die ausgelesen werden müssen.

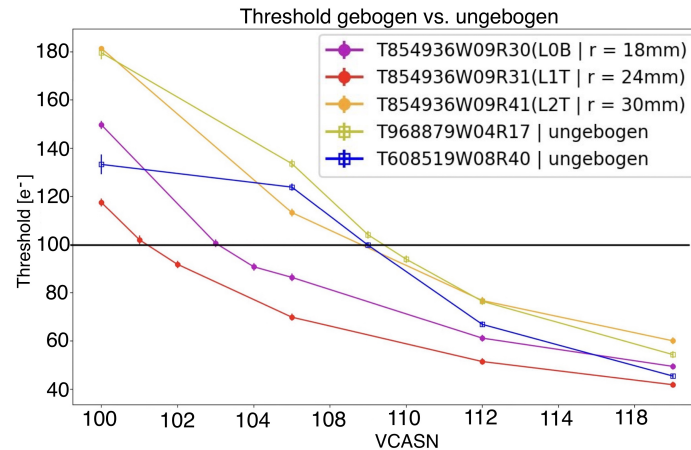


Abbildung 43: Vergleich des Thresholdverlaufs von gebogenen und ungebogenen Chips in Abhängigkeit von VCASN, ähnliches Verhalten besonders bei 100 Elektronen (schwarze Linie).

Der Verlauf in Abb. 43 der gebogenen und flachen Chips (ohne den beschädigten) ist ziemlich ähnlich. Die Chips ließen sich alle auf einen Threshold von 100 Elektronen für VCASN zwischen 101 und 109 einstellen (siehe Kreuzung der Graphen mit der schwarze Linie), was im Rahmen des üblichen Bereichs von ca. 100 - 115 liegt. Es gibt demnach keinen bemerkenswerten Unterschied beim Einstellen des Thresholds zwischen den gebogenen Chips (blau und grün) und den ungebogenen Chips (rot, gelb und lila). Die geringfügigen Unterschiede sind vermutlich durch die industrielle Herstellung bedingt, bei der man immer mit einer Unsicherheit rechnen muss. Da man aber alle Chips einzeln einstellen kann, spielt dies für die Detektionsfähigkeit keine Rolle.

6.7 Fake-hit rate Test

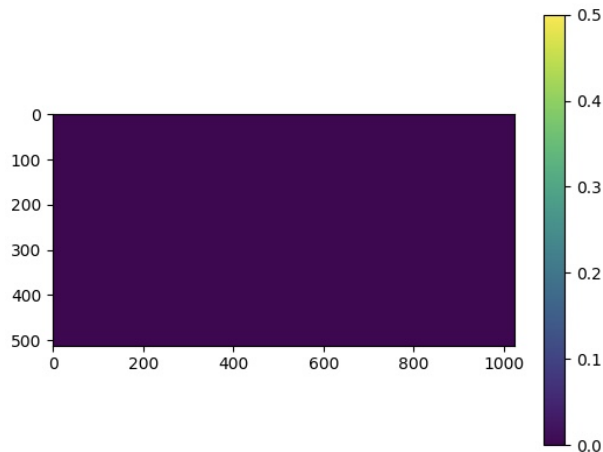


Abbildung 44: Fake-hit rate Map der auf einen Threshold von 100 Elektronen eingestellten gebogenen und ungebogenen Chips. Es sind keine Fake-hits aufgetreten.

Die Hitmaps der Fake-hit rate Tests waren bei allen Chips, bei denen man den Threshold einstellen konnte, vollständig leer. Die Chips detektieren also sowohl gebogen als auch ungebogen sehr effizient. Es gibt kein Rauschen im Signal der Chips bei einem vorher eingestellten Threshold auf 100 Elektronen (siehe Abb. 44).

7 Ergebnisdiskussion

Anhand dieser Messungen und der dabei erzeugten Datenbasis lässt sich feststellen, dass sich keine Beeinträchtigung der Messfähigkeit der Chips durch das Biegen in den in dieser Arbeit präsentierten Tests herausstellt. Flache und gebogene Chips zeigen das gleiche Verhalten.

Die elektrischen Eigenschaften haben sich durch das Biegen nicht geändert. Die Register für den Zwischenspeicher wurden nicht beschädigt und das Maskieren und digitale Pulsen der Pixel wurde nicht beeinträchtigt. Das Biegen schränkt ebenfalls nicht die Funktion der DACs ein, da die DAC-Werte verändert werden konnten und ihr Verlauf im üblicherweise verwendeten Bereich linear war. Es war zudem möglich, mit ihnen einen Threshold einzustellen. Die Verteilung des Thresholds hat sich mit der Veränderung der Geometrie ebenfalls nicht verändert, sodass man bei allen Pixeln die gleiche Effizienz erwarten kann, da auch das Rauschen der Chips nicht erhöht wurde.

Insgesamt sind dies also sehr gute Voraussetzungen für die weitere Forschung für das ITS3, da sich gezeigt hat, dass man die durch eine Materialdicke von $50\text{ }\mu\text{m}$ entstehende Flexibilität des Siliziums ausnutzen kann, um die Teilchendetektion deutlich zu verbessern. Es lohnt sich somit, weiter an gebogenen Chips zu forschen.

Es ist durchaus möglich, dass bei der manuellen Eingabe der verschiedenen Parameter Fehler unterlaufen können. In den meisten Fällen wäre dies jedoch aufgefallen, da der Test bei falschen Parametern gar nicht funktioniert hätte. Hätte man ein Programm, das alle Tests hintereinander automatisch durchführt, könnte diese Fehlerquelle vermieden werden.

Da die Analyse der flachen ALPIDEs am CERN dazu bestimmt war, Chips für die bevorstehende Strahlzeit zu testen und dafür die Ausschussware der flachen Chips des zur Zeit verbauten ITS2 untersucht werden musste, waren einige Chips, die getestet wurden, nicht funktionsfähig und mussten aussortiert werden. Diese konnten dadurch nicht in den Vergleich der beiden Chipgeometrien mit einbezogen werden. Hinzu kommt, dass die flachen Chips noch nie getestet wurden, während die gebogenen Chips zumindest zuvor im flachen Zustand einmal überprüft worden sind. Es wäre noch vergleichbarer gewesen, wenn man die gleichen Tests zuerst im flachen Zustand und dann nach dem Biegen erneut an diesem Chip durchgeführt hätte. Dies war methodisch leider nicht möglich, da das Biegen vor dem Aufenthalt am CERN bereits erfolgt war und der Fokus auf der Vorbereitung auf die Strahlzeit lag. Andererseits zeigt die Tatsache, dass die Chips schon über ein halbes Jahr gebogen waren, dass der Zustand der Chips sich auch nicht über eine längere Dauer der Biegung verschlechtert hat. Um sicherzugehen, dass die Ergebnisse grundsätzlich auf alle Chips übertragbar sind, könnte man die Menge der getesteten Chips ausweiten, sie stimmen jedoch weitgehend mit den zuvor im ITS3 Projekt aufgenommenen Daten überein.

Da die durchgeführten Tests Labortests waren, kann es sein, dass sich andere Parameter wie Effizienz und räumliche Auflösung durch das Biegen verändern. Um diese zu vermessen, müssen die Chips unter realen Bedingungen in einem Teilchenstrahl getestet werden.

8 Zusammenfassung und Ausblick

In dieser Arbeit wurde die Fragestellung behandelt, ob man - um die Detektion von in Teilchenkollisionen entstandenen Teilchen zu verbessern - die dazu verwendeten Siliziumchips biegen kann. Hierzu wurden sowohl an flachen Chips als auch an gebogenen Chips verschiedene Labortests durchgeführt. Diese überprüfen mit Hilfe von Software auf einem Raspberry Pi die Funktionsweise der Chips und der darin integrierten Elektronik. Anhand der Messergebnisse hat sich herausgestellt, dass die Funktionsweise durch das Biegen der Chips nicht verändert wird.

Als Folge dieser Erkenntnis kann mit Bestrahlung der Chips in einem Test-Beam das Verhalten bei Teilchendurchtritt untersucht werden. Es soll eine neue CMOS-Technologie verwendet werden, bei der die Transistoren anstelle von 180 nm nur noch 65 nm voneinander entfernt sind. Die Pixelgröße kann dadurch fast gedrittelt werden. Dies verbessert die Ortsauflösung und erhöht auch die Signalgeschwindigkeit, da es bei einem kleineren Pixel schneller zu der Sammeldiode kommt und von dort aus, durch die kürzeren Abstände der Transistoren, schneller weitergegeben werden kann. Diese Chips sollen nach ausführlichen Tests zu großen „Wafers“ verbunden werden, um sie anschließend zu einem Halbzylinder zu biegen [5].

2025 kann im Long Shutdown 3 des LHC schlussendlich das ITS3, die erste „360° Kamera“ - ein Detektor aus gebogenen Siliziumsensoren - im ALICE Experiment verbaut werden, mit dem Ziel, ein Stück näher an den Urknall heranzukommen. Dadurch können die entstehenden Teilchenspuren noch genauer vermessen werden, um möglichst die Hadronisation schwerer Quarks zu erkennen und so den Beginn unseres Universums noch genauer zu verstehen.

Literatur

- [1] ALICE Collaboration, ALICE ITS:
<https://alice-collaboration.web.cern.ch/node/34999> , 15.11.2021
- [2] Mager, Magnus: ALICE ITS upgrade for LS3 (07.04.2021) https://indico.desy.de/event/24227/contributions/53047/attachments/65072/80293/2021-04-07_Terascale_ITS3.pdf , 05.11.2021
- [3] Quark-Gluon-Plasma:
<https://www.cosmos-indirekt.de/Physik-Schule/Quark-Gluon-Plasma> , 10.09.2021
- [4] CERN-ALICE: <https://home.cern/science/experiments/alice> , 03.12.2021
- [5] ALICE-Collaboration: Letter of Intent for an ALICE ITS Upgrade in LS3:
<https://cds.cern.ch/record/2703140/files/LHCC-I-034.pdf> , 03.10.2021
- [6] Zöller, Marc Henning: Suche nach dem Higgs-Boson in hadronischen Endzuständen mit fehlender Energie am L3-Experiment bei LEP:
http://publications.rwth-aachen.de/record/61798/files/Zoeller_Mark.pdf , 03.10.2021
- [7] Kolanoski, Herman; Wermes, Norbert (2016). Teilchendetektoren - Grundlagen und Anwendungen. ISBN 978-3-662-45349-0, Springer Spektrum , 19.07.2021
- [8] ALICE ITS ALPIDE development team: ALPIDE Operations Manual
<http://sunba2.ba.infn.it/MOSAIC/ALICE-ITS/Documents/ALPIDE-operations-manual-version-0.3.pdf> , 05.10.2021
- [9] Damerell, Chris (2021). Tracking the rise of Pixel Detectors. CERN Courier
<https://cerncourier.com/a/tracking-the-rise-of-pixel-detectors/> , 07.11.2021
- [10] W. Snoeys; G. Aglieri Rinella; H.Hillemanns; T.Kugathasan; M.Mager; L.Musa; P.Riedler; F.Reidt; J.Van Hoorne; A.Fenigstein; T.Leitner
<https://www.sciencedirect.com/science/article/pii/S016890021730791X?via%3Dihub> , 04.12.2021
- [11] Musa, Luciano; Beole, Stefania (2021). ALICE tracks new territory. CERN Courier
<https://cerncourier.com/a/alice-tracks-new-territory/> , 07.11.2021
- [12] Donner, Maurice: Tracking Cosmic Muons with the ALICE Pixel Detector
https://www.physi.uni-heidelberg.de/Publications/M_Donner_BachelorThesis.pdf , 16.11.2021
- [13] Epitaktisches Wachstum. Spektrum
<https://www.spektrum.de/lexikon/physik/epitaktisches-wachstum/4422>, 11.11.2021
- [14] Tambave, Ganesh. ALPIDE - Pixel Detector
https://indico.cern.ch/event/837899/contributions/3570823/attachments/1913793/3163234/ImageWorkshop_UiB_GaneshTambave.pdf, 03.12.2021
- [15] Mager, Magnus: Silicon pixel sensors
https://indico.cern.ch/event/1063724/contributions/4518202/attachments/2330864/4004528/2021-10-19_ALICE3_SiliconPixelSensors.pdf, 17.11.2021

- [16] Lautner, Lukas: Vortrag Update on ITS3 activities, 17.05.2021
- [17] Strahlungslänge. Spektrum
<https://www.spektrum.de/lexikon/physik/strahlungslaenge/14006> , 05.12.2021
- [18] Aglieri Rinella, Gianluca: The ALPIDE Pixel Sensor Chip for the Upgrade of the ALICE Inner Tracking System
<https://indico.cern.ch/event/391665/contributions/1827407/attachments/1229908/1803453/20160218-VCI2016-Aglieri.pdf> , 05.12.2021
- [19] Keil, Markus (03.08.2017): pALPIDEfs software - Installation and command line interface, 06.01.2022
- [20] ALICE ITS Collaboration: ALPIDE series mass testing and classification
https://indico.cern.ch/event/930778/contributions/3912373/attachments/2063047/3461311/ALPIDE_series_mass_testing_and_classification-2.pdf , 05.12.2021
- [21] Mager, Magnus: ALPIDE, the Monolithic Active Pixel Sensor for the ALICE ITS upgrade <https://www.sciencedirect.com/science/article/pii/S0168900215011122> , 14.12.2021

Abbildungsverzeichnis

1	Schaubild des ALICE Experiments Foto: Christian Klein-Bösing, von unserem ALICE Lego Modell, eigene Beschriftung	4
2	Zerfall von hadronisierten b-Quarks, Marc Henning Zöller, [6]	4
3	Schematische Abbildung des ITS2, [1]	5
4	Dotiertes Silizium, [7] (S. 286)	5
5	pn-Grenzschicht, [7] (S. 290-291)	6
6	Pixelsensoren, [9]	7
7	Querschnitt ALPIDE Pixel, [11]	7
8	Verteilung des Energieverlustes im Detektor abhängig von der Materialdicke, [12]	9
9	Stave des ITS2, [5]	9
10	Überlappung der Staves im Inner Barrel des ITS2, Design Report ITS2	9
11	Anordnung der Staves im Inner Barrel des ITS2, CERN Document Server	9
12	Material Budget der Staves im ITS2	10
13	Layout des ITS3, [5]	10
14	Prototyp des ITS3, [16]	11
15	Material Budget des ITS3, [16]	11
16	gebogener ALPIDE mit mikroskopischer Aufnahme; eigene Aufnahme	12
17	Raspberry Pi mit Power Supply, eigene Aufnahme	12
18	Versuchsaufbau für flache Chips, eigene Aufnahme	12
19	Versuchsaufbau für flache Chips, eigene Aufnahme	13
20	ALPIDE Front-End Scheme, [8]	14
21	ALPIDE Pixel Logik, [8]	14
22	unpulsable Pixel Chip 1, eigene Daten	19
23	Unpulsable Pixel Chip 2, eigene Daten	19
24	Masked Pixel Chip 2, eigene Daten	19
25	Hitmap Analogtest, eigene Daten	19
26	Hitmap Analogtest, beschädigte Reihe, eigene Daten	19
27	DAC-Verlauf flacher Chip (alle DACs, eigene Daten)	20
28	DAC-Verlauf flacher Chip (Spannung skaliert), eigene Daten	20
29	DAC-Verlauf flacher Chip (Stromstärke skaliert), eigene Daten	20
30	DAC-Verlauf gebogener Chip (alle DACs), eigene Daten	21
31	DAC-Verlauf gebogener Chip (Spannung skaliert), eigene Daten	21
32	DAC-Verlauf gebogener Chip (Stromstärke skaliert), eigene Daten	21
33	DAC-Scan beschädigter Chip (alle DACs), eigene Daten	22
34	Thresholdverteilung flacher Chip, eigene Daten	22
35	Thresholdmap flacher Chip, eigene Daten	22
36	Thresholdverteilung gebogener Chip, eigene Daten	23
37	Thresholdmap gebogener Chip, eigene Daten	23
38	Thresholdverteilung beschädigter Chip, eigene Daten	23
39	Thresholdmap beschädigter Chip, eigene Daten	23
40	Threshold in Abhängigkeit von VCASN für flache Chips,eigene Daten	24
41	Threshold in Abhängigkeit von VCASN für gebogene Chips, eigene Daten	24
42	Kennlinie eines MOSFETs in Abhängigkeit von VCASN und ITHR, eigene Darstellung	24
43	Vergleich Thresholdverlauf der gebogenen und ungebogenen Chips, eigene Daten	25
44	Fake-hit rate Map sowohl von den gebogenen als auch von den ungebogenen Chips, eigene Daten	25

Unterstützungsleistungen und Danksagung

Für die Unterstützung und die Betreuung meines Projekts möchte ich mich bedanken bei:

Herrn Dr. Marc Henning Zöller, Physiklehrer am St.-Michael-Gymnasium Monschau. Er hat mich für die Teilchenphysik begeistert und war auch als mein Projektbetreuer stets bereit, meine Fragen zu beantworten oder gemeinsam nach Lösungen zu grübeln. Auch in seiner Freizeit hat er sich für mein Projekt Zeit genommen.

Herrn Prof. Dr. Christian Klein-Bösing, Professor am Institut für Kernphysik an der WWU-Münster. Er hat ebenfalls mein Projekt betreut und hat während des ALICE-Lego Projekts meine Begeisterung für Teilchenphysik weiter gefestigt und mir Literatur für mein Projekt zur Verfügung gestellt. Für meine Fragen hatte er stets ein offenes Ohr. Zu Beginn des Projekts hat er sich besonders dafür eingesetzt, am CERN Dr. Alexander Kalweit und Lukas Lautner als Betreuer für mein Projekt zu finden.

Herrn Dr. Alexander Kalweit, Physiker (Staff Scientist) am CERN, und Herrn Lukas Lautner, Doktorand am CERN, möchte ich ebenfalls danken, dafür dass sie bereit waren, mich aufzunehmen und mir damit mein Projekt zu ermöglichen. Für die Betreuung während meines Aufenthalts möchte ich mich besonders bei Lukas Lautner bedanken. Er hat mich beim Versuchsaufbau unterstützt und war zu jeder Tages- und Nachtzeit bereit, meine Fragen bei der Durchführung zu beantworten, sodass ich schnell voran gekommen bin und möglichst viele Daten nehmen konnte. Auch im Nachhinein stand er mir beratend zur Seite.

Der Aufenthalt war eine ganz besondere Zeit, für die ich mich ebenfalls beim Netzwerk Teilchenwelt bedanken möchte, die ihn mir ermöglicht und in jeglicher Hinsicht angenehm gestaltet haben, sodass ich mich gut aufgehoben gefühlt habe.

Herr Niklas Herff, Project Associate für das Netzwerk Teilchenwelt am CERN ist hierbei besonders für seine fürsorgliche Betreuung während des Aufenthalts zu nennen.

Disclaimer der ALICE Kollaboration und des ITS3 Projekts

Die vorliegende Arbeit greift auf Ergebnisse zurück, die im Rahmen des ITS3 Projekts am CERN, während eines vom Netzwerk Teilchenwelt organisierten zweiwöchigen Praktikums, erhalten wurden. Die vorgestellten Methoden und Ergebnisse sind weitgehend Reproduktionen vorausgegangener Forschungs- und Entwicklungsarbeit innerhalb des ITS3 Projekts. Das ITS3 Projekt wird von der ALICE Kollaboration getragen und weder das ITS3 Projekt noch die ALICE Kollaboration übernehmen Verantwortung für den Inhalt der vorliegenden Arbeit. Die Ergebnisse dieser Arbeit wurden nicht von der ALICE Kollaboration geprüft und sind nicht als offizielle Ergebnisse des ITS3 Projekts oder der ALICE Kollaboration zu betrachten.